



DISPOSITIF DE CODAGE / DECODAGE D'IMAGES : IMPLANTATION MULTI-PROCESSEURS

J. BAÏNA *, O. CONET*, A. LAPREVOTE **

*TDF - C2R, 1 rue Marconi 57070 Metz, France. **TCE Strasbourg France.
email : baina@c2r.tdf.fr

RÉSUMÉ

Dans cet article est décrit un exemple d'implantation d'un procédé de codage d'images sur un dispositif multiprocesseurs. La technique de codage est une méthode hybride composée de plusieurs fonctions combinées pour réduire le débit de transmission. Elle nécessite une transformée en cosinus discrète, un module d'analyse des fréquences spatiales, une quantification vectorielle et un codeur entropique à longueurs variables. Le prototype intégrant ces processus est un dispositif à intelligence répartie, basé sur une configuration multiprocesseurs exécutant simultanément des tâches spécialisées sur un flot de données image.

INTRODUCTION

Les contraintes imposées par la conception de systèmes de traitement d'images se déclinent sous plusieurs formes : complexité des algorithmes, quantité des données manipulées, cadences des traitements, etc. L'architecture cible de ces dispositifs est étroitement liée aux besoins de calcul. De plus, la complexité et diversité des tâches à planter amènent l'utilisation de moyens spécialisés : DSP, FPGA, processeurs RISC, processeurs systoliques etc. La variété des modules de traitement offre une meilleure efficacité due à leur spécialisation.

Dans la première partie de ce papier est décrit l'algorithme de codage mis en pratique pour la réduction de débit lors de la transmission d'images.

Par la suite une étude comparative de la complexité des différents traitements mis à contribution est réalisée. Cette étape permet d'identifier ceux qui sont retenus pour une intégration dans des processeurs spécialisés.

ABSTRACT

This article presents a low bit rate image encoder / decoder. This equipment incorporates a hybrid method using discrete cosine transform, a classifier module, vector quantization and an entropic variable length encoder. The main advantage of this prototype is the use of a hybrid multiprocessors architecture. That involves the implementation of different coding tasks on the appropriate dedicated processor. This structure is an efficient approach for multiprocessors machine design. The prototype is composed of several parallel processors, a DSP and a FPGA chip. Each processing node is crossed by image data flow

L'architecture de chacun de ces modules est détaillée en soulignant ces points forts et ceux à améliorer. Enfin, la configuration globale du prototype de codage / décodage d'image est présentée. Une série de résultats permet d'évaluer l'opportunité d'utiliser une machine hybride multiprocesseurs.

A. CODAGE D'IMAGES

Notre contribution au codage de l'image est un procédé combinant la transformée en cosinus discrète (TCD) et la quantification vectorielle (QV) [1]. Cette dernière est appliquée à la suite d'une tâche d'analyse de l'image en vue de l'identification des coefficients TCD pertinents. Ces coefficients composeront les vecteurs à quantifier.

L'exploitation des correspondances entre l'espace des pixels et l'espace transformé est avantageuse pour la compression. Un ensemble de propriétés visuelles est mis en pratique pour



identifier les vecteurs les plus importants visuellement. En effet, les symétries et les dispositions particulières des contours dans les blocs TCD, réduisent la quantité d'informations représentant l'image.

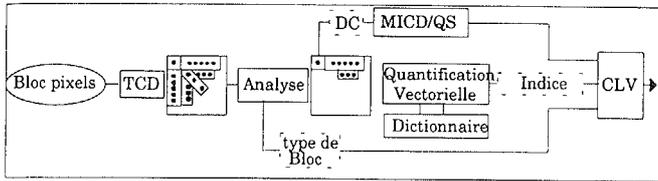


Figure N°1. Codage hybride d'images.

Le schéma de codage décrit dans la figure N°1 est composé de plusieurs tâches de traitements. A l'entrée du codeur chaque bloc de l'image est transformé en TCD. Un module d'analyse permet à l'aide d'un arbre de décision discriminatoire de retenir les vecteurs à coder. L'avantage de cette méthode réside dans les possibilités qu'elle offre à la QV en terme d'augmentation de la représentativité du dictionnaire et de réduction de sa taille - nombre et dimension des vecteurs -. En effet, la quantification vectorielle appliquée ici exploite des dictionnaires de 16, 64 ou 256 vecteurs [1][2]. A la suite de la QV des coefficients alternatifs et de la quantification scalaire de la composante continue, un codage entropique à longueurs variable est appliqué aux données en sortie des modules précités.

Une estimation de la complexité des différentes tâches est présentée dans le tableau suivant pour l'image « La Cornouaille » de 256×256 pixels.

Tâches	Million d' +	Million de ×
TCD	0.92	1.05
Analyse	0.06	0.05
QV	3.45	1.95
Total	4.43	3.05

Tableau N°1. Evaluation de la complexité

Elle identifie les traitements les plus consommateurs en calcul en vue de leur intégration dans des modules spécifiques.

B. DESCRIPTION DU DISPOSITIF

Afin de permettre l'évolution des algorithmes et de l'architecture, une configuration modulable conçue autour de processeurs parallèles programmables a

été retenue. Le système de codage a été composé initialement de transputers. L'environnement de développement INMOS™, permet de construire facilement des structures d'intelligence répartie.

Plusieurs schémas de structures à base de processeurs programmables ont été testés [3]. Dans une première partie, la segmentation des différents traitements est effectuée. Par la suite, leur affectation à des transputers dédiés a permis la parallélisation par répartition des tâches. Par ailleurs une approche "farming" a été testée. Cependant, ces configurations ont montré les limites des processeurs programmables et ont imposé pour certains processus l'utilisation de processeurs de traitement du signal ou de circuits dédiés. Ce fut le cas, pour la transformée en cosinus discrète et pour la quantification vectorielle.

Une disposition des modules de traitements en Pipe line a permis la conception d'une machine à flot de données. Cette option minimise le nombre de communications. De plus, sous réserve de répartir équitablement les charges entre les différents nœuds, les temps d'attente entre les niveaux sont réduits.

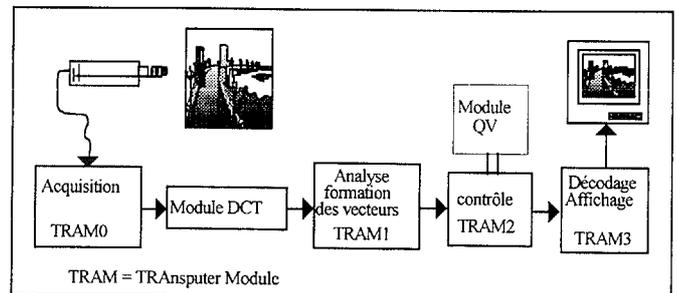


Figure N°2. Dispositif de codage - décodage

La table N°2, donne la répartition du temps de calcul entre différentes tâches du codage exécutées séquentiellement par un seul transputer.

Table N°2.

Dicos	16	64	256
Tâches	msec.	msec.	msec.
8x8 pxl	77	77	77
TCD	14100	14100	14100
Analyse	264	264	264
Q. V.	6500	25200	97800

Temps d'exécution des processus de codage sur un T805.

Pour une image 256x256, la première tâche (8x8 pxl) concerne la numérisation et l'extraction de la mémoire des blocs de pixels ainsi que leur transfert vers les process suivants. Après la TCD, la tâche d'analyse identifie les vecteurs à coder et élimine les moins pertinents visuellement. La quantification vectorielle affecte à un vecteur incident l'indice de son plus proche voisin dans un dictionnaire préétabli. Seul l'indice est transmis ou stocké. Le dictionnaire est constitué par un procédé d'apprentissage basé sur l'identification des représentants optimaux pour le codage. Dans notre cas, des dictionnaires de tailles différentes ont été exploités : 16, 64 et 256 vecteurs.

Les performances du codage sont un compromis entre la qualité des images décodées et le taux de compression par conséquent du nombre des vecteurs testés. La caractéristique principale de la technique présentée dans [2] est de pouvoir réduire avantageusement la taille dictionnaire et la dimension des vecteurs. Cette propriété est très importante sachant que le temps d'exécution de la QV est proportionnel au nombre de vecteurs du dictionnaire.

D'après la table N°2, il est fort de constater que la TCD et la QV sont les tâches les plus consommatrices en temps de calcul. De plus, ces opérations sont complètement figées et ne sont sujettes à aucune amélioration algorithmique. Ces arguments font de la TCD et de la QV les meilleures candidates pour une implantation dans des circuits spécialisés.

C. MODULE DE TRANSFORMEE EN COSINUS DISCRETE

Parmi les fonctions de réduction de débit imposées par les normes JPEG, H261, MPEG pour le codage d'images figure la TCD. Ceci a amené le développement de plusieurs DSP spécialisés pour effectuer cette opération. Le composant A121 de INMOSTM opère la transformation d'une image 256x256 pixels en 4 millisecondes, alors que 14 secondes sont nécessaires sur un transputer.

La configuration coprocesseur a été envisagée. Elle aurait doté le module TCD d'un transputer, afin de gérer les tâches de communications et d'intégration dans un réseau multiprocesseurs. Cependant, cette option n'a pas été retenue.

Le module réalisé est exclusivement dédié à sa fonction. Activé, il traite le flux de données image, et dans le cas contraire il reste compatible avec l'environnement transputer en terme de réseaux de processeurs parallèles.

Il est conçu autour du DSP TCD, ce dernier étant disposé de manière transparente est indépendante entre deux transputers. Les blocs de pixels de l'image numérisée stockée en mémoire, traversent le module TCD via le lien 20Mbits/s. Un convertisseur série/parallèle présente successivement les colonnes de pixels en entrée du DSP. Transformées les données aboutissent sous forme de coefficients TCD à l'étape d'analyse, via un second convertisseur parallèle /série. Le module fonctionne sur plusieurs modes : transformation directe, inverse ou transparent.

D. MODULE DE QUANTIFICATION VECTORIELLE

La complexité en termes d'opérations et le temps d'exécution de la quantification vectorielle sont graduellement croissants en fonction du nombre de vecteurs du dictionnaire.

Afin de répondre aux contraintes de vitesse, un processeur spécialisé a été conçu et réalisé dans une architecture originale. La dernière partie de ce papier est consacrée à sa description.

Le module QV est conçu dans une configuration maître / esclave avec un transputer T222 utilisé pour communiquer avec l'environnement et pour le transfert des données. Cette structure est présentée dans la figure N°3.

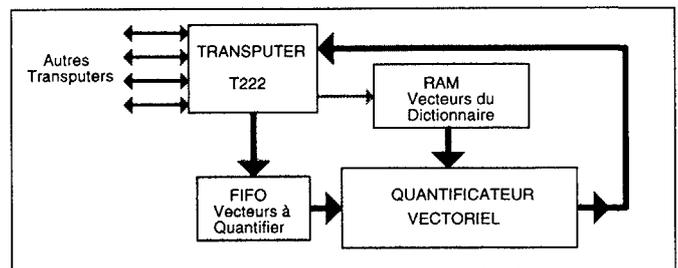


Figure N°3. Structure du module de QV.

Les dictionnaires sont stockés par le T222 dans une RAM double port. Chaque vecteur incident est présenté au composant QV via le T222. La quantification est implantée sur un F.P.G.A. (Field Programmable Gate Array), composant de développement par excellence.



Plusieurs solutions sont présentées dans la littérature [4][5]. Celle que nous avons expérimentée fonctionne sur un mode de calcul en série. Un processeur élémentaire à structure systolique exécute la comparaison entre deux vecteurs figure N°4. Il est dupliqué 16 fois en parallèle, permettant la QV par passes de 16 vecteurs du dictionnaire. La taille du dictionnaire est paramétrable.

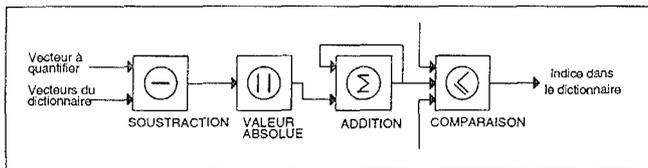


Figure N°4: Module élémentaire de quantification

Le circuit réalisé occupe l'équivalent de 6000 portes logiques sur un composant XILINX 4010. Les calculs sont cadencés par une horloge à 16 MHz permettant des performances de loin supérieures à celles d'un processeur généraliste.

Table N°3.

Dicos	16	6	256
Tâches	msec.	msec.	msec.
8x8 pxl	77	77	77
TCD	4	4	4
Analyse	264	264	264
Q. V.	0.46	1.80	7.07

Temps d'exécution des tâches sur les processeurs spécialisés.

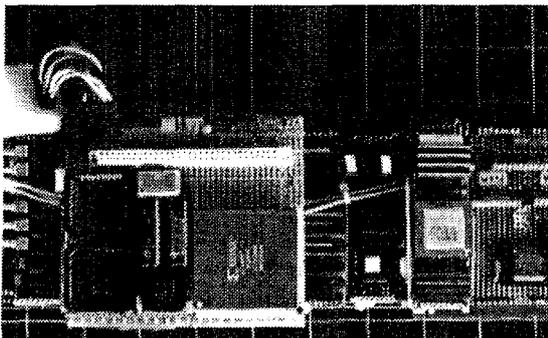


Figure N°5 Dispositif de codage : module QV, transputer et module TCD.

Cette première réalisation fut simulée et réalisée à partir d'un schéma niveau portes logiques, méthode très lourde. Une autre architecture est en

cours de création, utilisant VHDL, un langage de simulation et de synthèse de haut niveau.

Très paramétrable, cette nouvelle structure, toujours testée sur un FPGA, ouvre la possibilité de créer un ASIC à partir du même source en VHDL.

CONCLUSION

Cette architecture de traitement d'image, combinant des processeurs généralistes et des processeurs spécialisés a montré son efficacité dans une application de codage de l'image. D'autres expérimentations d'analyse de l'image ont pu se greffer sans difficulté à ce système en rajoutant simplement d'autres processeurs.

Notre système, développé initialement sur une base de Transputers INMOSTTM pourra évoluer facilement sur d'autres systèmes multiprocesseurs comme la famille TMS320 de Texas Instruments.

L'approche liant l'élaboration de l'algorithme et la conception de l'architecture a avantaagé la mise en oeuvre de notre système de codage vidéo à bas débit.

- [1] J. Baïna, A. Laprevote, A. Tosser, Image Coding With Vector Quantization and edges Classification. VLBV 94 International Workshop on Coding Techniques for very low Bit-rate Video, 7-8 April 1994, Colchester UK.
- [2] J. Baïna, A. Laprevote, P. Bourcet, A. Tosser, Low Bit Rate Video Codec Based On Perceptual Classification and Vector Quantizer : Review and Implementation, A paraître Transaction on Image Processing Special Issues on Vector Quantization, Janvier 1996.
- [3] M. Seck, A. Laprevote, A. Tosser, Parallélisation d'un Algorithme de Codage d'Images à Bas Débit sur Réseau de Transputers, 14 GRETSI 1993, 13 au 16 Sept 1993, p 104-107.
- [4] B. E. Nelson, C.J. Read, A Bit-Serial VLSI Vector Quantizer, in Proc. IEEE Int. Conf. Acoust. Speech Signal Processing, Tokyo, pp. 2211-2214, 1986.
- [5] G. A. Davidson, P. R. Cappello, A. Gersho, Systolic Architectures for Vector Quantization, IEEE Transactions on ASSP, Vol 36, N°10, pp. 1651-1664, Oct 1988.