



# Réduction de la gigue systématique d'une boucle à verrouillage de phase numérique

R.El janati-El idrissi, M. Jézéquel

Laboratoire "Circuits Intégrés Télécom"

Ecole Nationale Supérieure des Télécommunications de Bretagne Technopôle de Brest-Iroise B.P. 832, 29285 Brest Cedex, France.

## RÉSUMÉ

Dans cette communication une nouvelle architecture de boucle à verrouillage de phase numérique est proposée. Elle permet, pour une même fréquence de l'oscillateur à quartz, de réduire la gigue systématique par rapport à celle d'une boucle numérique conventionnelle. La mise en oeuvre de la nouvelle architecture est basée sur l'utilisation de  $M$  ( $M=2^n$ ) horloges décalées, permettant de simuler un fonctionnement à une fréquence  $M$  fois plus haute que la fréquence réelle de l'oscillateur à quartz. Cette architecture a été réalisée sur prédiffusé programmable pour une validation expérimentale des résultats de simulations obtenues dans le cas  $n=2$ . Les résultats des mesures relativement à la gigue systématique montrent une parfaite concordance avec la simulation.

## ABSTRACT

In this paper new digital phase-locked loop (DPLL) architecture is presented. For a given quartz oscillator frequency, this DPLL has a distinctly lower jitter in comparison to the output signal of a conventional DPLL. The functioning of this new architecture is based on the use of many shifted clocks which are generated from the quartz oscillator, to simulate an operation with a frequency which is  $M$  times higher than the real quartz oscillator frequency, where  $M=2^n$  is the number of shifted clocks used. This architecture has been implemented with Field Programmable Gate Array (FPGA), to extract the experimental characteristics of the systematic jitter in the case where  $n=2$ . There are close agreements between experimental results and simulation.

## 1. INTRODUCTION

Une boucle à verrouillage de phase numérique conventionnelle [1] est généralement constituée de quatre blocs de base: (figure 1)

- un comparateur de phase numérique,
- un filtre de boucle numérique,
- un oscillateur contrôlé numériquement (OCN),
- un oscillateur à quartz.

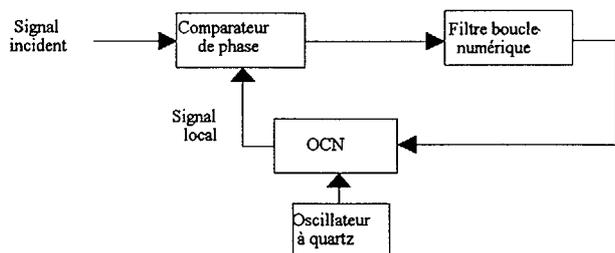


Figure 1: Schéma fonctionnel d'une boucle à verrouillage de phase numérique conventionnelle

Le principal avantage d'une boucle numérique, par rapport à son homologue analogique, est la grande stabilité que lui confère l'OCN, ce qui permet de traiter des signaux de nature fugitive ou pulsés (systèmes de communication à répartition temporelle).

L'OCN est en fait une machine d'état pilotée par

l'oscillateur à quartz et ne permet que des ajustements discrets de la phase du signal local de la boucle numérique. Ainsi le verrouillage de la phase du signal local sur celle du signal incident ne peut se faire qu'à une période d'horloge de l'oscillateur à quartz près. Cela se traduit nécessairement par une différence de phase aléatoire entre le signal incident et le signal local. Cette différence de phase aléatoire, appelé gigue systématique, est définie comme étant une variation à court terme des instants significatifs du signal numérique par rapport aux positions dans le temps qu'ils devraient théoriquement occuper [2]. L'unité de gigue est l'intervalle unitaire (IU) correspondant à la durée d'une période du signal.

## 2. CARACTERISTIQUES DE LA GIGUE SYSTEMATIQUE D'UNE BOUCLE NUMERIQUE CONVENTIONNELLE.

Pour une boucle numérique conventionnelle, le signal de gigue systématique possède une distribution uniforme. Cette distribution est comprise dans l'intervalle  $[-1/2N; 1/2N]$ , où  $N$  est le rapport entre la fréquence de l'oscillateur à quartz  $F_{osc}$  et la fréquence libre de l'OCN  $F_0$ . La valeur crête à crête de la gigue d'une boucle numérique conventionnelle est égale à  $1/N$  (IU). Pour réduire cette gigue systématique il faut augmenter le rapport de division  $N$  entre la fréquence  $F_0$  et la fréquence  $F_{osc}$  de l'oscillateur à quartz. Cependant la fréquence  $F_0$  est une donnée caractérisant le canal de transmission. Donc seule une augmentation de fréquence de l'oscillateur à quartz

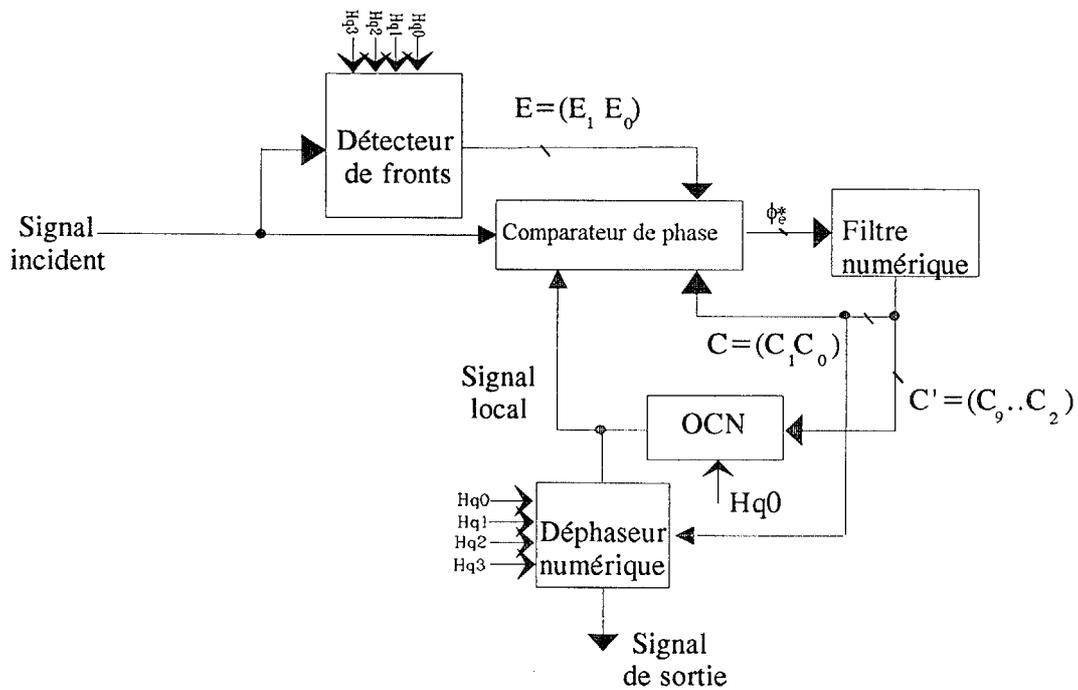


Figure 2: Schéma fonctionnel de la boucle à verrouillage numérique proposée .

pilotant l'OCN, permet de réduire la valeur crête à crête de la gigue systématique. Mais l'augmentation de la fréquence  $F_{osc}$  de l'oscillateur à quartz pilotant l'OCN est limitée par le chemin critique de la structure ainsi que par les paramètres de la technologie d'intégration du circuit. Dans la suite de cet article, nous présentons une nouvelle architecture de boucle numérique qui permet une nette réduction de la gigue systématique du signal de sortie comparée à celle d'une boucle numérique conventionnelle pour une même fréquence  $F_{osc}$  de l'oscillateur quartz.

La modélisation d'une telle boucle numérique a été proposée dans un article référencé [3], dont les performances en gigue systématique ont été établies par simulation.

Le modèle cité ci-dessus a servi de guide à la réalisation d'une maquette de la boucle numérique à l'aide de prédiffusé programmable pour mesurer ses performances en gigue systématique. Un bon accord s'établit entre les performances en gigue systématique mesurées et celles obtenues par simulation.

### 3. ARCHITECTURE DE LA BOUCLE NUMERIQUE:

Le schéma fonctionnel la boucle numérique comporte cinq éléments fondamentaux (figure 2):

- un détecteur de fronts,
- un comparateur de phase numérique,
- un filtre de boucle numérique,
- un déphaseur numérique,
- un oscillateur contrôlé numériquement (OCN).

En plus de l'horloge de l'oscillateur à quartz, la boucle est pilotée par des horloges ayant la même fréquence que l'oscillateur à quartz, mais décalées en phase les unes par rapport aux autres de façon uniforme sur une période de l'oscillateur à quartz. Le décalage en phase est tel que pour la

$i^{\text{ème}}$  horloge le déphasage est constant et égal à  $\frac{2 \cdot I \cdot \pi}{M}$ , où  $M$  est le nombre d'horloges utilisées.

Un générateur de ces horloges utilisant des cellules à délai variable a été proposé [3], [4] (figure 3). Dans ce cas l'horloge de commande des différents blocs de la boucle est la même que celle de l'oscillateur à quartz. Or la réalisation d'un tel circuit nécessite le dimensionnement des transistors MOS des cellules à délai variable. Pour une première validation, le générateur utilisé ici est un simple compteur binaire par  $M$  et donc la fréquence de l'horloge du compteur est  $M$  fois celle des horloges décalées pilotant la boucle. La valeur  $M=4$  a été choisie pour la réalisation de la maquette.

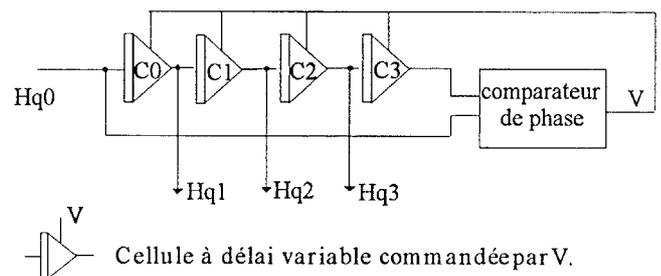


Figure 3. Schéma bloc du circuit de génération des horloges décalées,  $M=4$ .

#### 3.1. Le détecteur de front:

Le détecteur de front (figure 4) est constitué de quatre bascule D ( $M=4$ ), et d'un codeur d'état. Les bascules D sont pilotées par les horloges décalées. Après échantillonnage du signal incident par les fronts des horloges décalées, le codeur d'état délivre une sortie  $E$  binaire codée sur deux bits  $E=(E_1, E_0)$  indiquant la position relative du front montant du signal incident par rapport au front montant de l'horloge de l'oscillateur à quartz. Cette sortie  $E$  sert à l'estimation de la partie fractionnaire de l'erreur de phase.

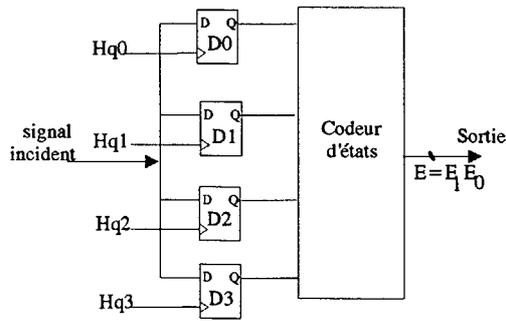


Figure 4: Schéma fonctionnel du détecteur de fronts.

### 3.2. Le comparateur de phase:

La détection et l'estimation de l'erreur de phase se fait par rapport aux fronts montants du signal incident et du signal local. L'estimation de la partie entière de l'erreur de phase est le résultat de la quantification de l'enveloppe du déphasage au rythme de l'horloge de l'oscillateur à quartz. Cette enveloppe correspond à l'intervalle temporel entre les fronts montants du signal incident et du signal local. La sortie du quantificateur ainsi obtenue correspond à la partie entière de l'erreur de phase transmise en binaire complément à deux sur 8 bits. La partie fractionnaire sur 2 bits est calculée à partir de la sortie du détecteur de fronts et de la commande du déphaseur numérique.

### 3.3. Filtre de boucle:

En ce qui nous concerne, afin de limiter la surface silicium, le filtre de boucle numérique est un simple atténuateur qui rend le système stable. Cette atténuation se traduit par une multiplication par un gain  $G = \frac{1}{\beta}$ , où  $G$  est programmable.

### 3.4. L'oscillateur contrôlé numériquement (OCN):

L'OCN est en fait un compteur à embrayage. Le compteur divise la fréquence de l'oscillateur à quartz par  $N$ . Son état de comptage est modifié en avance ou en retard par la partie entière de l'erreur de phase filtrée. Cela permet ainsi d'augmenter ou de diminuer la période du signal local et d'ajuster sa phase sur celle du signal incident.

### 3.5 Le déphaseur numérique:

Le déphaseur numérique (figure 5) comprend quatre bascule D ( $M=4$ ), pilotées par les horloges décalées. Le déphasage entre l'entrée et la sortie du déphaseur numérique est définie par la commande du multiplexeur  $C=(C_1 C_0)$  qui correspond à la partie fractionnaire de l'erreur de phase filtrée.

De façon globale l'erreur de phase est prise en compte à deux niveaux, la partie entière de l'erreur de phase filtrée sert à ajuster le sortie de l'OCN avec une précision égale à une période horloge de l'oscillateur à quartz, alors que sa partie fractionnaire est prise en compte au niveau du déphaseur numérique avec une précision égale à un quart de période horloge de l'oscillateur à quartz dans le cas où  $M=4$ .

## 4. FONCTIONNEMENT GLOBAL DE LA BOUCLE:

Après chaque comparaison de phase entre le signal incident et le signal local, le comparateur de phase délivre à

sa sortie la partie entière sur 8 bits et la partie fractionnaire sur 2 bits, or l'erreur de phase réelle  $\Phi_e$  est le déphasage entre le signal incident et le signal de sortie du déphaseur numérique qui constitue la sortie de la boucle. D'où la nécessité de tenir compte de l'état du déphaseur numérique à travers sa commande numérique  $C$  lors de chaque comparaison de phase. Donc si  $\Phi_e^*$  est l'estimation de l'erreur de phase en complément à deux à la sortie du détecteur de phase, alors:

$$\phi_e^* = \text{Int}[\phi_e \cdot N / 2\pi] + (E - C);$$

où  $\text{Int}$  désigne la partie entière,  $N$  est le rapport de division entre la fréquence libre  $F_0$  de l'OCN et la fréquence  $F_{\text{osc}}$  de l'oscillateur à quartz,  $E=(E_1 E_0)$  la sortie du détecteur de front et  $C=(C_1 C_0)$  la partie fractionnaire de l'erreur de phase filtrée lors de la précédente comparaison de phase.

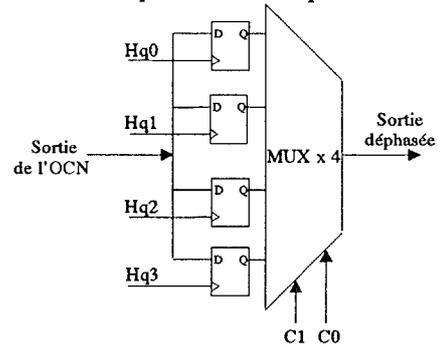


Figure 5: Schéma du déphaseur numérique.

## 5. RESULTATS DE SIMULATION:

Des simulations [3] ont permis de caractériser la gigue du signal de sortie de la boucle numérique proposée. Les résultats correspondants montrent une nette réduction de la gigue en comparaison avec celle d'une boucle numérique conventionnelle (figure 6). On remarque que la valeur crête à crête est inversement proportionnelle au nombre d'horloges décalées pilotant la boucle.

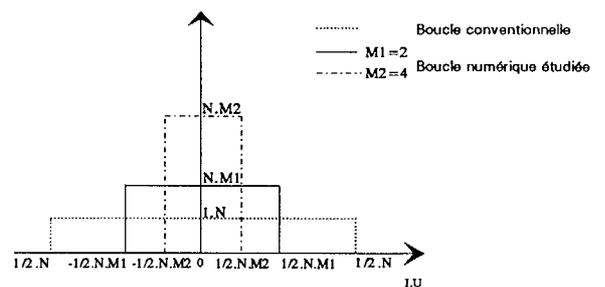


Figure 6: Distribution de la gigue systématique, où  $M_i$  est le nombre d'horloges décalées.

## 6. RESULTATS EXPERIMENTAUX:

Une maquette a été réalisée de manière à pouvoir disposer du signal de sortie de la boucle numérique étudiée ainsi que celui d'une boucle numérique conventionnelle pour le même signal incident.

Après synchronisation des signaux de sortie des deux boucles numériques, le mode "persistance infinie" de l'oscilloscope numérique permet de voir qu'effectivement la valeur crête à crête de la gigue de la boucle numérique étudiée est le quart ( $M=4$ ) de la valeur de celle de la boucle



numérique conventionnelle (figure 7a). La figure 7b montre l'enveloppe de la gigue de chaque signal de sortie des deux boucles.

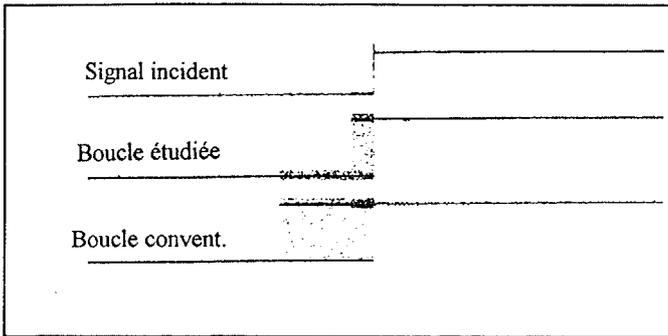


Figure 7 a: Signal de gigue systématique des deux boucles numériques.

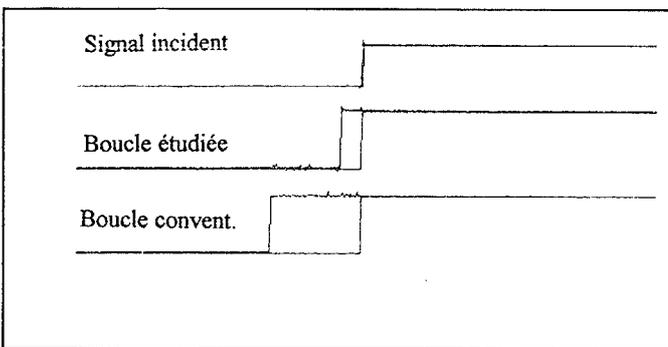


Figure 7 b: Enveloppe du signal de gigue systématique des deux boucles numérique.

Une moyenne sur 2048 périodes signal, montre (figure 8) que cette moyenne est linéaire, confirmant ainsi que la distribution de la gigue du signal de sortie de la boucle numérique est uniforme, ce qui a été établi par simulation.

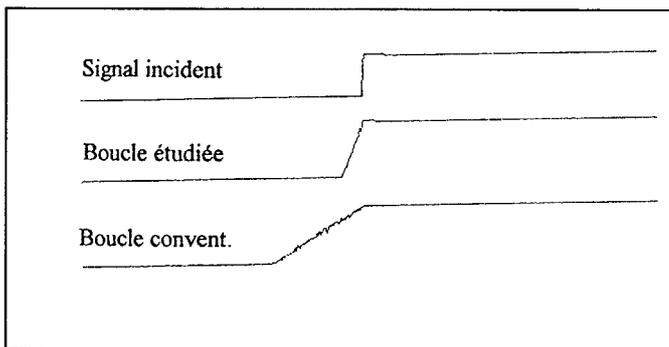


Figure 8: Moyenne expérimentale du signal de gigue systématique en sortie des deux boucles numériques.

Le déphaseur numérique permet des corrections de la phase du signal de sortie, afin que la valeur crête à crête de la gigue systématique soit égale au quart de la période d'horloge de l'oscillateur à quartz. Le fonctionnement du déphaseur numérique peut être mis en évidence lorsque le déclenchement de l'oscilloscope se fait sur les fronts montants du signal local de la boucle numérique proposée dans cet article (figure 9). Les corrections de phase effectués par le

déphaseur numérique avec une précision d'un quart de période horloge de l'oscillateur à quartz sont mis en évidence.

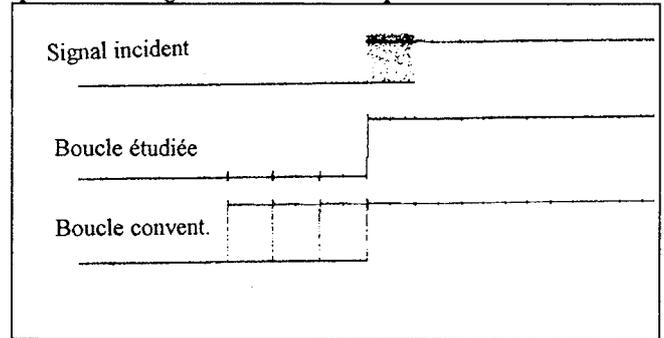


Figure 9: Sortie du déphaseur numérique de la boucle numérique.

## 7. CONCLUSION:

Cet article est consacré à la caractérisation expérimentale de la gigue systématique de la boucle numérique, dont le modèle a été présenté dans le cadre d'un précédent article [3]. Les résultats des mesures de gigue sont en parfaites concordances avec les résultats de simulation.

L'architecture de la boucle numérique proposée permet d'exploiter avantageusement les progrès en rapidité des circuits CMOS. Dans le cas de l'utilisation de cellules à délai variable pour générer les horloges décalées, cette boucle peut être utilisée en récupération de rythme dans un système de transmission à haut débit (de l'ordre de 30 Mbits/s),

## Références

- [1] N.A. D'Andrea and F. Russo, "Multilevel quantized DPLL Behavior with phase and frequency-step plus noise input," *IEEE Trans. Commun.*, vol. COM-28, pp. 1373-1382, Aug. 1980.
- [2] D. Becam, C. Heno, and M. Rault, "La gigue, les erreurs, les glissements," *Note technique NT/LAB/SER/138*, Mai. 1983.
- [3] R. El janati - El idrissi, M. Jézéquel, "A triggered edge digital phase-locked loop with low jitter," *In Proc. Int. Symposium on Signals, Systems and Electronics*, pp. 294-297, Sept. 1992.
- [4] D. Jeong, G. Boriello, D. Hodges, and R. Katz, "Design of PLL-Based clock generation circuits," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 2, pp. 255-261, Apr. 1987.