

**REALISATION D'UN CIRCUIT  
CONTROLEUR D'ALTERNAT POUR LIAISONS SYNCHRONES**

**Michel JEZEQUEL Patrick ADDE Bernard L'HOSTIS**

**Ecole Nationale Supérieure des Télécommunications de Bretagne  
Laboratoire "Circuits Intégrés Télécom" BP 832 29285 BREST Cédex**

**RÉSUMÉ**

Après avoir défini les principes des communications par duplexage temporel, cet article présente le fonctionnement d'un circuit intégré contrôleur d'alternat pour liaisons numériques synchrones. Les différents choix nécessaires à sa réalisation y sont explicités.

**ABSTRACT**

After describing the principles of time-division duplex communications, this paper presents the operation of an integrated circuit achieving ping-pong control for digital synchronous links. The different choices required for its design are also explained.

**I- Introduction**

Le circuit intégré considéré est un contrôleur de communications numériques permettant une transmission bidirectionnelle sur un canal unique qui donne l'illusion parfaite d'un mode duplex intégral. La technique utilisée est celle de l'alternat (ou duplexage temporel ou encore "ping pong" en anglais) avec un rapport de compression égal à 3.

Il trouve ses applications dans toute communication numérique bidirectionnelle jusqu'à 1.4 Mbits/s, où le multiplexage temporel s'avère préférable au multiplexage fréquentiel ou à l'annulation d'écho:

- téléphone sans fil
- terminal sans fil
- liaisons maritimes (VHF)
- liaisons sur fibre optique [1]
- liaisons télématiques de courtes distances
- liaisons hertziennes téléphoniques pour abonnés isolés...

Cette dernière application a été à l'origine du développement du circuit et le choix de l'alternat se justifie dans la simplicité de l'équipement d'émission-réception où une seule fréquence porteuse est à considérer, ce qui permet de supprimer les fonctions, complexes et coûteuses, de filtrage et de duplexage spatial.

**II- Principe d'une communication par alternat**

La figure 1 recense les principaux signaux intervenant dans le fonctionnement d'une liaison par alternat.

Le contrôleur A transforme les données continues à l'émission DEA au rythme HEA en paquets à l'émission PEA. Le débit instantané des bits de PEA est HPEA. HPEA est égal à k.HEA, k étant le rapport de compression (k=3) et la cadence des paquets est HEA/8.N où N est le nombre d'octets utiles transmis par cycle.

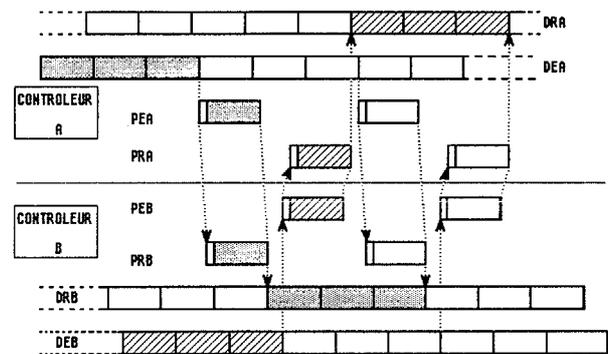
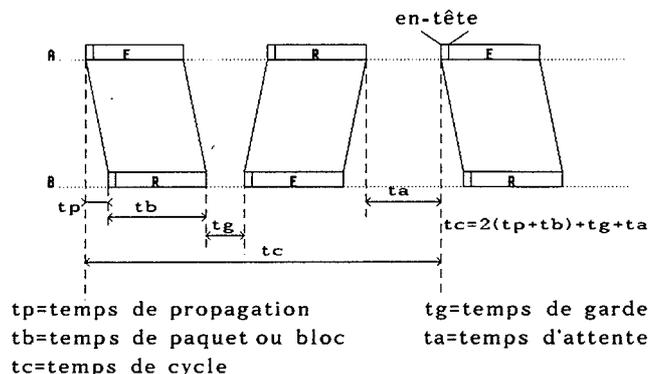


Figure 1 - Principe d'une liaison par alternat

Au paquet PEA, correspond, après un temps de propagation  $t_p$ , le paquet PRB reçu par le contrôleur B et échantillonné au rythme HPRB. Ce contrôleur transforme PRB en des données continues DRB (données en réception) au rythme HRB. Après réception de PRB suivi d'un temps de garde  $t_g$  (figure 2), le contrôleur B émet à son tour un paquet PEB devenant PRA, converti par le contrôleur A en données continues DRA au rythme HRA.



$t_p$  = temps de propagation  
 $t_b$  = temps de paquet ou bloc  
 $t_c$  = temps de cycle  
 $t_g$  = temps de garde  
 $t_a$  = temps d'attente

Figure 2 - Echange de paquets dans une liaison par alternat.



Temps de cycle, temps de propagation, et temps de bloc doivent satisfaire l'inégalité:

$$t_c > 2.(t_p + t_b) \quad (1)$$

Soient N' le nombre d'octets contenus dans un paquet (N' > N), et HE la fréquence débit égale à HPE/k. On a alors:

$$t_c = \frac{8.N}{HE} \quad \text{et} \quad t_b = \frac{8.N'}{HPE} = \frac{8.N'}{k.HE} \quad (2)$$

La combinaison de (1) et (2) donne:

$$t_p < \frac{4.N}{HE} - \frac{8.N'}{HE} \quad (3)$$

Par exemple dans une liaison hertzienne, si on se fixe une distance maximale de 8 km et avec N'=N+5 et HE=1Mbits/s, il en résulte:  
N > 25

Les horloges des deux contrôleurs sont pilotées par les deux horloges locales plésiochrones HQA et HQB.

Le contrôleur A fonctionnant "librement" à partir du rythme HEA est appelé contrôleur maître. Le contrôleur B dont les fréquences de travail sont asservies est appelé esclave. En fonctionnement normal, HRA, HRB, HEB sont donc isochrones de HEA.

### III - Fonctionnement du circuit

Le circuit assure (figure 3):

- dans le sens de l'émission, le multiplexage de n (n=1, 2 ou 4) voies d'entrée DVEi de données continues au débit HDVE et la conversion des données multiplexées en paquets PE de débit instantané HPE=3.n.HDVE.

- dans le sens de la réception, la conversion des paquets PR, reçus au débit instantané HPR, en données multiplexées de débit HPR/3 et le démultiplexage en n voies de sortie DVRi de débit HPR/3n.

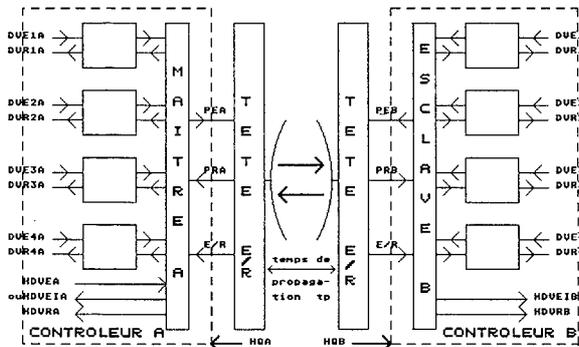


Figure 3 - Liaison utilisant le contrôleur.

Le multiplexage/démultiplexage s'effectue par octets et chaque paquet contient N octets utiles (N=16 ou 32 suivant la programmation du circuit).

La synchronisation de la transmission est réalisée par le contrôleur configuré en maître, qui construit les différentes horloges à partir du rythme d'émission HDVE provenant soit de l'extérieur (mode asservi), soit du rythme interne obtenu par division de la fréquence haute (quartz) HQA. La relation entre HQA et HDVE est, suivant la programmation du circuit:

$$HQA = (24 \text{ ou } 48).n.HDVE$$

En mode asservi et sous condition d'activité minimale (par brassage par exemple), une voie de donnée DVEi peut directement se substituer à l'horloge HDVE.

La tolérance sur les fréquences plésiochrones et le temps de propagation maximum entre deux contrôleurs sont, suivant la taille du champ d'information:

pour N=16

$$\Delta H/H = \pm 2.10^{-4}$$

$$t_{p \text{ max}} = 24/(3.n.HDVE)$$

pour N=32

$$\Delta H/H = \pm 10^{-4}$$

$$t_{p \text{ max}} = 48/(3.n.HDVE)$$

Les tolérances ou variations à court terme des quartz sont compatibles avec des produits "bas de gamme".

#### III.1- Constitution de la trame

Aux données "utiles" constituant le champ d'information du paquet, sont associés des octets de contrôle et de signalisation, selon l'organisation de trame décrite en figure 4, qui s'inspire de la procédure HDLC (High level Data Link Control procedure).

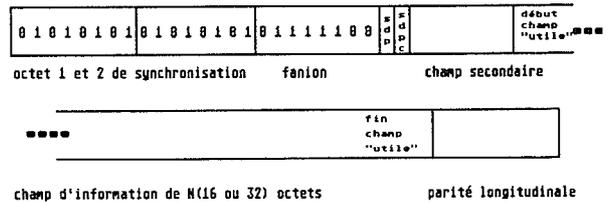


Figure 4 - Structure de trame

Ces octets, qui en réception sont dissociés des informations à transmettre sur les voies DVRi, sont les suivants:

- octets 1 et 2: octets servant à la synchronisation
- octet 3: fanion
- octet 4 contenant 2 bits de télésignalisation:
  - \*SDP: détection de porteuse du contrôleur distant
  - \*SDPC: demande pour communiquer du contrôleur distant
  - \*6 bits de champ secondaire disponibles suivant l'application.
- octet N+5 portant les parités longitudinales des octets 4 à N+4 (LRC: Longitudinal Redundancy Check) et servant à la détection d'erreurs dans la transmission.

A la réception, une boucle symétrique d'ordre 1 sans diviseur, dont la fonction en  $p$  est proche de  $1/(1+p/HP)$  où  $HP$  est le débit instantané des paquets est utilisée. Son temps d'accrochage est inférieur à la durée des deux octets de synchronisation.

Une liaison numérique (4x64 kbits/s) portable sur faisceau à 23 GHz a été réalisée, à titre expérimental [2]. Elle est composée d'une voie téléphonique et de deux voies informatiques. La quatrième voie à 64 kbits/s est utilisée pour les mesures de taux d'erreurs. L'équipement comprend, à chaque extrémité, une tête micro-onde pouvant fonctionner en émetteur ou en récepteur [3], une antenne plaque, un dispositif de traitement de la fréquence intermédiaire avec démodulation d'amplitude et un circuit contrôleur d'alternat.

Durant les premiers essais, un taux d'erreurs binaire inférieur à  $10^{-6}$  a été mesuré sur une liaison entre bâtiments distants d'une quarantaine de mètres.

## V - Le test automatique

Le bloc AUTOTEST du schéma bloc (figure 6) est destiné à générer une trame pour en simuler la réception à l'intérieur du circuit et permettre à l'utilisateur de vérifier son bon fonctionnement.

Les sorties DV<sub>Ri</sub> sont reliées aux entrées DVE<sub>i</sub> et l'utilisateur configure le circuit à son gré (nombre de voies, division des boucles, nombre d'octets dans la trame...). Le test permet également d'observer le comportement du circuit vis-à-vis du plésiochronisme. Pour ce faire, une horloge extérieure indépendante est appliquée en tant que fréquence de réception paquets (HPR).

## VI - Caractéristiques du circuit

- Circuit prédiffusé CMOS 1.5 $\mu$ -Boitier LCC 68 broches (prototype)
- Usage général
- Circuit configurable en maître ou en esclave
- Possibilité de mode asservi (synchronisation du circuit maître sur une horloge extérieure)
- Communications numériques pouvant aller jusqu'à 1.4 Mbits/s
- Synchronisation interne par boucle à verrouillage de phase numérique d'ordre 0 ou du premier ordre (amplitude de gigue  $2\pi/12$  ou  $2\pi/24$  suivant le nombre d'octets de la trame)
- Fonction intégrée de multiplexage/démultiplexage permettant la transmission de 1, 2 ou 4 voies
- Longueur du champ d'informations de 16 ou 32 octets
- Transmission d'un champ secondaire de 6 bits en accès parallèle

- Indicateur de qualité de liaison calculé par code longitudinal
- Entrée/sortie des paquets sur 2 ou 4 fils
- Mode veille programmable
- Enveloppe de trame à l'émission et marqueurs d'écriture/lecture disponibles (ces marqueurs permettent de repérer dans les trains binaires, les octets placés en début de champ "utile" dans la trame).
- Test semi-automatique

Une version très simplifiée DIL 16 broches peut être envisagée et d'une manière générale, la fonctionnalité peut en être revue aisément suivant le type d'application.

## VII - Conclusion

Les différents essais effectués sur le circuit d'alternat ont permis de valider sa conception.

- Une nouvelle version de ce circuit va permettre:
- une évolution vers une technologie 0,8 $\mu$ m afin de doubler le débit d'entrée HDVE,
  - un remplacement des boucles à verrouillage de phase numériques à décisions sur front (de type DLL: Delay Lock Loop) qui sont "rudimentaires" dans la version actuelle par une boucle de même type mais incluant un filtre récursif.
  - un changement du principe de détection de fanion afin de diminuer le facteur multiplicateur du taux d'erreurs.

## Bibliographie

- [1] A.JAILLARD "Système à l'alternat microprogrammé optique synchrone", L'écho des recherches n°138, pp5-12, 4<sup>ème</sup> trimestre 1989.
- [2] M.JEZEQUEL, P.ADDE, C.BERROU, B.L'HOSTIS "Liaison numérique portable sur faisceau à 23 GHz utilisant la technique de l'alternat", 7<sup>ème</sup> J.N.M. Grenoble p45-46, mars 1991.
- [3] P.DUPIUS, S.MEYER, M.GOLOUBKOFF, J.J.GUENA "Millimeter wave subscriber loops", IEEE journal on SAC, Vol SAC-I, n°4, September 1983.



**III.2- Protocole de gestion de la liaison**

La mise en œuvre du contrôleur (état actif ou inactif) se fait suivant le diagramme d'états de la figure 5.

L'alternat est activé si une demande pour communiquer est appliquée localement (DPC=1) ou bien si une porteuse est détectée (DP=1). L'alternat est désactivé si le contrôleur local autorise le mode veille (AV=1) et si aucun contrôleur ne demande à communiquer (DPC + SDPC = 0), cela en présence d'une porteuse ou bien si, la porteuse ayant disparu, DPC est mis à 0. Le signal VEIL indique l'état du contrôleur.

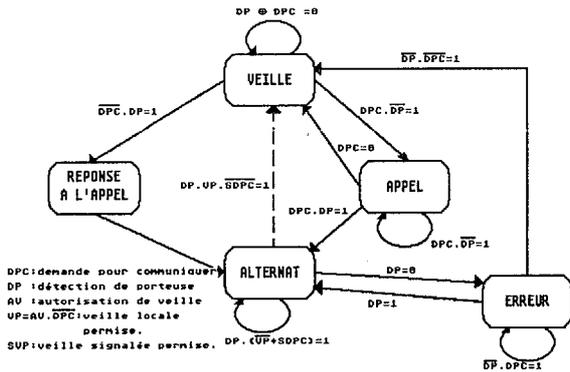


Figure 5 - Diagramme d'états de l'alternat.

La détection de porteuse (DP) s'effectue par reconnaissance du fanion dans une fenêtre d'attente tenant compte des temps de propagation maximaux. Afin de signaler tous les cas de désynchronisation une sortie est activée lorsque le fanion n'est pas reconnu à intervalle constant (temps de cycle).

**III.3- Comportement du circuit en présence de bruit**

En réception, les données correspondant à un paquet dont le fanion n'est pas détecté (au moins un des bits de l'octet est incorrect) sont systématiquement mises à 0. En prenant pour hypothèse que les 0 et les 1 sont équiprobables et que dans le canal de transmission les probabilités de transformation d'un 0 en 1 et d'un 1 en 0 sont égales et notées p, la probabilité d'erreur sur les données reçues (DR), notée p<sub>r</sub>, est supérieure à p. En effet deux cas peuvent être distingués:

- il n'y a pas d'erreurs sur l'octet de fanion (probabilité: (1-p)<sup>8</sup>) le circuit d'alternat est transparent aux erreurs (p<sub>r</sub>=p).
- il y a au moins une erreur sur l'octet de fanion (probabilité: [1-(1-p)<sup>8</sup>]) le circuit d'alternat transforme les données du paquet en 0 (p<sub>r</sub>=1/2).

L'association des deux cas donne:

$$p_r = p(1-p)^8 + \frac{1}{2}[1-(1-p)^8] \approx 5p - 22p^2$$

Pour les faibles taux d'erreurs le circuit a donc un facteur multiplicateur de 5 du taux d'erreurs.

Une sortie du contrôleur est activée si, à la réception d'une trame, au moins une des parités longitudinales n'est pas vérifiée (nombre impair de bits erronés).

Soit p<sub>d</sub> la probabilité de détecter un LRC incorrect. On a:

$$p_d = 1 - (1 - p_1)^8$$

avec

$$p_1 = \sum_{n=1}^{(N+2)/2} C_{N+2}^{2n-1} p^{2n+1} (1-p)^{(N+1-2n)}$$

Pour les faibles taux d'erreurs (p < 10<sup>-3</sup>), p<sub>1</sub> se réduit à:

$$p_1 \approx C_{N+2}^1 p (1-p)^{N+1} \approx (N+2)p$$

Soit finalement:

$$p_d \approx 1 - [1 - (N+2)p]^8 \approx 8(N+2)p \approx \frac{8(N+2)}{5} p_r$$

dans le cas N=32: p<sub>d</sub> ≈ 54p<sub>r</sub> (si N=16 p<sub>d</sub> ≈ 29p<sub>r</sub>)

Ainsi (si p petit), une mesure de la fréquence de détection des LRC incorrects permet d'évaluer le taux d'erreurs des données dû à la liaison par alternat.

**IV- Réalisation et utilisation du circuit d'alternat**

Le schéma global du circuit d'alternat est donné figure 6. Il est réalisé en technologie CMOS prédiffusé 1.5μm à l'aide d'une matrice 5000 portes d'une soixantaine de mm<sup>2</sup>, avec un taux de remplissage de 80%. Deux boucles à verrouillage de phase numérique sont nécessaires pour générer les différents signaux d'horloge.

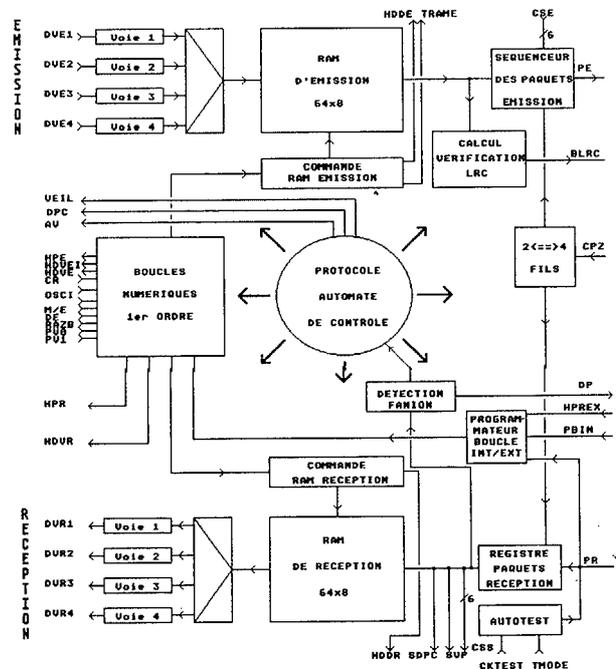


Figure 6 - Schéma global du circuit d'alternat.

A l'émission, une boucle d'ordre 0 incluant un diviseur par 3 est utilisée pour la construction de HPE, et un diviseur par n pour la synchronisation du multiplexage.