

DIXIEME COLLOQUE SUR LE TRAITEMENT DU SIGNAL ET SES APPLICATIONS

1053



NICE du 20 au 24 MAI 1985

PROCESSEUR D'IMAGES VIDEO D'EVALUATION PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON,
J. GALLICE, C. THIBAUD

Laboratoire d'Electronique et Résonance Magnétique, UA 830
Université de CLERMONT FERRAND II, BP 45 AUBIERE 63170

Tel. (73)26 41 10 Poste 39 83

RESUME

Ce système permet l'évaluation matérielle et logicielle de problèmes de vision industrielle.

Son architecture a été définie afin de réaliser deux types de traitement :

- par logiciel
- par processeurs câblés

Ainsi, pour l'exécution d'un traitement sur l'image, l'utilisateur définit un logiciel. Celui-ci peut appeler des sous-programmes issus d'une bibliothèque générale ou spécialisée. Il peut aussi faire appel à un ensemble de processeurs de traitement câblés qui permettent d'accroître la rapidité du système.

L'architecture du Processeur d'Images Vidéo d'Evaluation 2 (PRIVE 2) fait intervenir une structure de bus indépendants, conférant ainsi une grande souplesse d'emploi.

Sa structure est de type modulaire. Chaque module : Acquisition, Restitution, Processeurs de traitement, Plan Mémoire Image possède un flot de données de sortie de 8, 16 ou 32 bits. Chaque module est connecté à une unité centrale (Motorola 68000) via le bus VME.

Du fait de cette architecture, les processeurs peuvent accéder séquentiellement aux informations (temps réel vidéo) : flots de données issus du capteur et/ou de plans mémoire image à la cadence de 125 ns/pel. Le système est alors en configuration PIPE-LINE (système MISD).

Les modules sont synchronisés par le flot de données. L'enchaînement des modules est programmable. Cette gestion est assurée sur chaque module par un interface intelligent relié à l'unité centrale.

D'autre part, par l'utilisation du protocole VME, certains processeurs peuvent accéder aléatoirement aux informations mémorisées dans les plans mémoire image. Le système se trouve alors configuré en mode multi-processeurs.

SUMMARY

This system provides software and hardware evolution of industrial problems. Its architecture has been designed in order to realise two sorts of processing :

- by software
- by hardware programmable processors

So, for an image processing, the user defines a software. It can use subroutines from a library and also some hardware processors in order to increase the rapidity of this system.

The architecture of the "Processeur d'Image Vidéo d'Evaluation" (PRIVE 2) has been built around a structure of independent buses. This provides a large flexibility of use.

The structure is modular : each module (digitalization, processors, image memory...) has an data output bus of 8, 16, 32 bits. All modules, except digitalization, can have input data from other modules output buses. The digitalization module performs a transformation of analog on numeric signal from sensor into data representing an image of 512*512 pixels with a 8 bits dynamic range, or a window in this image. The digitalization module can sample on an hexagonal or square mesh. For all window and a all meshes, it emits at a speed of 125 ns/pixel on an interlaced or no-interlaced mode.

Each module is connected to a central unit (MC 68000) through a VME bus.

Due to this architecture, processors have a sequential access to information (video real time speed of 125 ns/pixel) from memory or sensor. The system is then a pipe line design. Indeed, it's possible to make a programmable succession of modules.

In this mode, each module must be synchronized with the data flow from the emitting module, in order to perform its task.

This means that a module must be programmed with a number of delay step according to the pipe line and must work onlu when data are available on its input bus. This delay is counted on each module, each one is initialized by an Intelligent Peripheral Controller connected to the central unit.

Through the VME bus, some processors may have a random access to memory information. The system is then in a multi-processors configuration.

Some VME modules (memories, disk controller...) complete this system sub-structure.



PROCESSEUR D'IMAGES VIDEO D'EVALUATION
PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON, J. GALLICE, C. THIBAUD

INTRODUCTION

Ce système a été conçu et réalisé par l'équipe "SYSTEMES MICRO-ELECTRONIQUES ET TRAITEMENT DE L'IMAGE" du LERM dont les thèmes principaux de recherche sont :

- Architectures spécialisées en traitement numérique des images en temps réel vidéo,
- Traitement numérique des images orienté vers la recherche d'algorithmes optimisés en vitesse d'exécution.

Ce système a pour vocation principale, l'évaluation de problèmes d'imagerie numérique en milieu industriel afin d'apporter des solutions au problème posé. En effet, de nombreuses applications nécessitent des algorithmes sophistiqués afin de répondre au cahier des charges. L'utilisation de processeurs câblés rapides s'impose alors pour satisfaire la contrainte "temps réel".

La masse importante d'informations à traiter a rendu difficile l'emploi d'outils informatiques traditionnels en regard des exigences temporelles du milieu industriel.

Il apparait donc nécessaire d'envisager la conception de nouvelles architectures pour ces systèmes afin de permettre la résolution de tels problèmes (DUFF 79).

Diverses approches ont été faites dans ce domaine : certaines permettent de répondre à un problème spécifique (DER 84, AYA 81) faisant appel à des processeurs câblés non programmables, d'autres font intervenir des concepts plus évolués d'architecture et ont conduit à la réalisation de plusieurs systèmes expérimentaux : processeurs pipe-line (STEN 79), multiprocesseurs (KRUSE 82), (BASILLE 79), parallèles (DUFF 79), (FOUNT 80).

Le but recherché avec PRIVE 2 est de disposer d'un système d'évaluation ayant une architecture suffisamment souple permettant de définir les besoins en algorithmes d'une part, et en processeurs câblés d'autre part pour résoudre les problèmes posés.

Ce système doit posséder une grande modularité, utiliser le plus possible de standards industriels : (bus, modules, etc...)

et permettre l'utilisation "temps réel vidéo" (pipe-line) ou de processeurs fonctionnant en différé dans une architecture multiprocesseurs.

Une première réalisation a débouché sur la réalisation du PRIVE 1 (DER 84). Elle nous a permis de définir une architecture "temps réel vidéo" basée sur des processeurs de traitement câblés mais non programmables : extraction de contour, calcul de barycentre, translation d'image, coïncidence d'image... etc. Cette architecture permet de résoudre des problèmes de traitement "temps réel" : localisation et orientation d'objets isolés en 60 ms (DER-1 84). L'utilisation de logique câblée conduit à une configuration figée des différents processeurs. Il est nécessaire de développer pour chaque nouvelle application des processeurs câblés spécifiques.

C'est pourquoi la philosophie du PRIVE 2 repose sur la possibilité de réaliser deux types de traitements :

- Traitements implantés par logiciel sur système hôte
- Traitements implantés sur le processeur d'évaluation et réalisés par processeurs câblés programmables.

Ces deux aspects peuvent, bien entendu, être conjugués. L'utilisateur définit un logiciel qui utilise les ressources du calculateur hôte et du processeur de vision.

1 - INFRASTRUCTURE DE L'ENSEMBLE.

PRIVE 2 est organisé autour de deux sous-ensembles distincts :

- le processeur de vision qui capte, numérise, mémorise et traite l'information image
- le système de gestion et de traitements logiciels organisé autour d'un bus VME multiprocesseurs standard industriel. Ce dernier fait office de système hôte (figure 1).

Le processeur de vision comprend deux bus images (2 * 96 lignes réservées aux différents bus vidéo) et un bus VME (REF). Ce dernier permet, en particulier, de relier les deux sous-ensembles par liaisons différentielles.

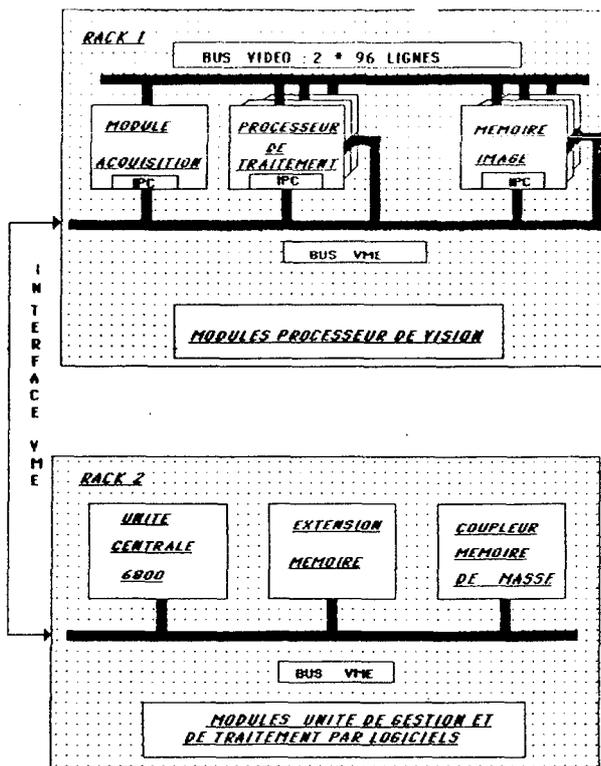
PROCESSEUR D'IMAGES VIDEO D'EVALUATION
PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON, J. GALLICE, C. THIBAUD

Chaque module implanté dans le processeur de vision possède une intelligence locale gérée par un contrôleur IPC (REF) (Motorola 68120 utilisé en mode étendu). Ainsi, tous les échanges entre le système de gestion et le processeur de vision se font par l'intermédiaire de blocs commande indiquant à chaque module la tâche qui lui est affectée pour une application donnée.

Il est à noter que ces IPC procurent une aide efficace pour la mise en route et la maintenance des différents modules : (implantation de logiciels d'autotests et de diagnostics de pannes).

Figure 1



2 - ARCHITECTURE DU PROCESSEUR DE VISION.

L'architecture du PRIVE 2 permet la mise en oeuvre de deux protocoles d'échange d'informations entre deux modules liés d'une part à l'origine de cette information et, d'autre part, au type de processeur de traitement utilisé :

- Flots d'informations synchrones en provenance d'un capteur vidéo en ligne et/ou

d'une mémoire image utilisés par un ou plusieurs processeurs de traitements évoluant à la vitesse vidéo. Ces informations vidéo sont véhiculées par le bus vidéo du système. Dans ce cas, le système possède une architecture MISD (FLYNN 72).

- Flots d'informations asynchrones en provenance d'une mémoire image adressée en mode aléatoire par les processeurs de traitement qui deviennent alors maître du bus VME. Dans ce cas, le système possède une architecture MIMD (FLYNN 72). (voir figure 2).

2.1. Mode asynchrone :

Dans ce mode, le processeur de vision est organisé autour d'une architecture de bus indépendants, il est contrôlé par le flot de données. Chaque module possède son propre flot de sortie sur 8, 16 ou 32 bits selon sa nature. Chaque module peut accéder au flot de sortie de tous les autres modules à l'exception du module Acquisition.

Dans ce cas, l'accès aux informations est synchrone et le processeur est configuré dans une architecture PIPELINE. Ces modules peuvent être agencés dans un ordre différent selon l'application à effectuer. Le contrôle du traitement de l'information est géré par chaque module par la connaissance du retard qu'elle possède à l'entrée de ceux-ci, ainsi que de sa présence. Ce retard est fonction pour chaque module de la place qu'il occupe dans la configuration pipeline, ainsi que du type de traitement réalisé par celui-ci. Pour chaque application, une phase d'initialisation indique au module ce retard via l'IPC.

Ce mode séquentiel est utilisé pour les traitements en ligne avec un capteur vidéo ou une mémoire image fournissant un flot d'informations à vitesse vidéo (extraction de primitives de l'image par processeurs temps réel). La cadence du flot est de 125 ns/pel.

Il n'y a, dans ce cas, présence d'aucune adresse sur les bus images.

Un exemple d'application est donnée figure 3. Il s'agit d'une acquisition suivie d'un filtrage réalisé par le processeur de convolution puis d'une extraction de contour réalisé par le processeur de morphologie mathématique (gradient morphologique), ceci à



PROCESSEUR D'IMAGES VIDEO D'EVALUATION
PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON, J. GALLICE, C. THIBAUD

Figure 2 : synoptique générale du PRIVE 2.

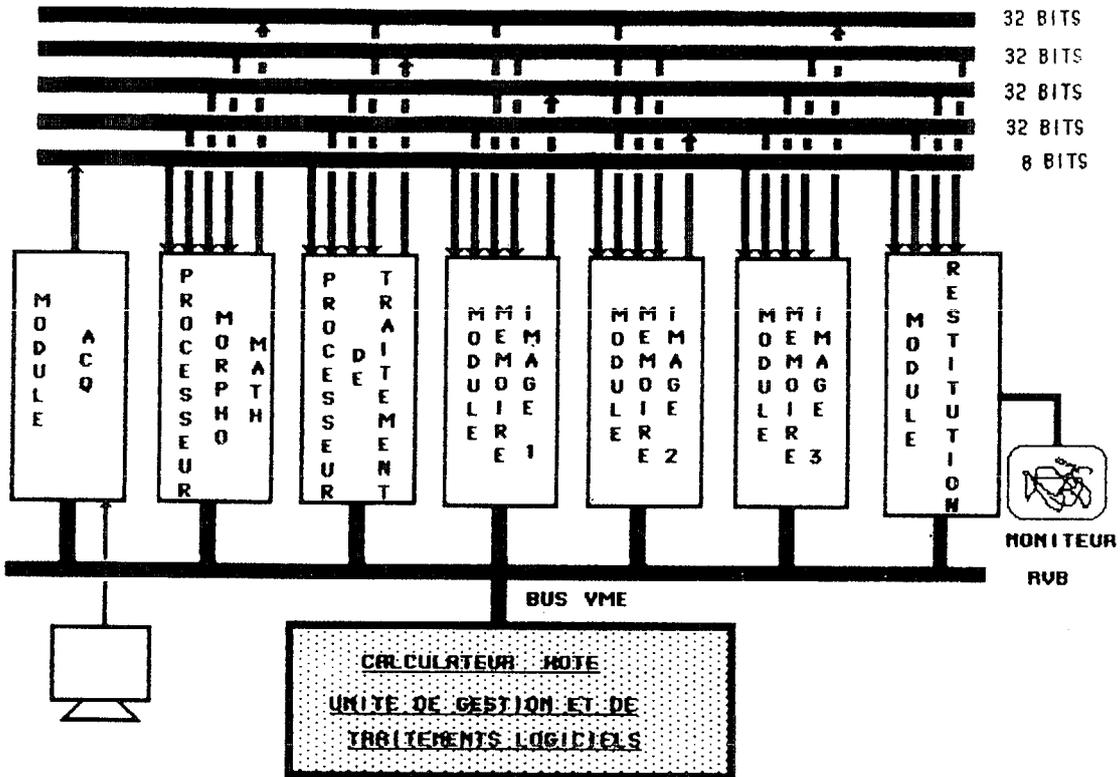
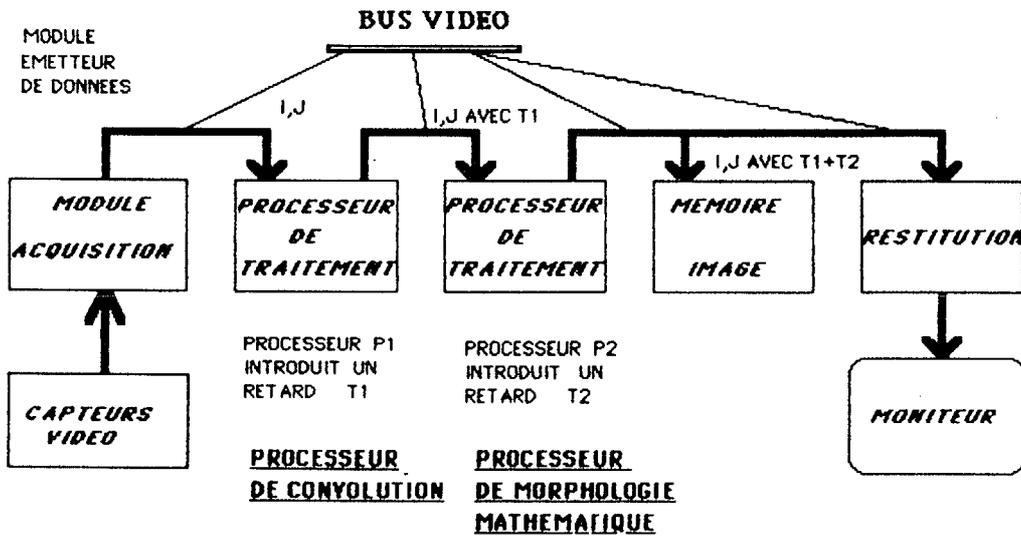


Figure 3 : exemple d'application.





PROCESSEUR D'IMAGES VIDEO D'EVALUATION
PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON, J. GALLICE, C. THIBAUD

vitesse vidéo ; le résultat final est stocké dans une mémoire image et restitué sur moniteur de contrôle.

Les processeurs P1 et P2 utilisés pour cette application ont une architecture PIPE-LINE. Le point i, j de l'image considérée arrivant à l'entrée de P1 sera présenté à l'entrée de P2 avec un retard T1 (nombre de pas du pipe-line de P1). De même, ce point i, j sera présenté à la mémoire image avec un retard T2 (retard du pipe-line de P2).

Par la connaissance de ces retards et par la présence d'un signal "envoi d'information" généré par le module "émetteur de flots", chaque module peut ainsi déterminer la présence du point i, j et le traiter. Le système est piloté par le flot de données ; aucune adresse n'est donc nécessaire sur le bus.

2.2. Mode asynchrone :

Par l'intermédiaire du bus VME, il est possible d'instaurer un protocole d'échange asynchrone entre la mémoire image et un processeur de traitement. La cadence du flot est alors celle des échanges sur le bus VME et est fonction du traitement réalisé par ce processeur.

Ces processeurs effectuent des traitements différés de l'acquisition de l'information. Il peut s'agir d'accélérateurs dans un logiciel implanté sur le système de gestion : processeurs spécialisés.

3 - DESCRIPTION DES DIFFERENTS MODULES.

(actuellement développés sur PRIVE 2)

3.1. Module ACQUISITION :

Les fonctions de base sont les suivantes:

- acquisition et numérisation d'un signal source issu d'un capteur vidéo : caméras à tubes classiques, caméras à semi-conducteurs : linéaire ou matricielle , magnétoscope.

- image à fenêtre programmable de $4 * 4$ à $512 * 512$ Pels sur 256 niveaux de gris.
- émission de ce flot sur son bus de sortie à 125 ns/pels indépendamment de la fréquence d'échantillonnage qui est fonction du type de capteur utilisé.

Les fonctions d'évaluation sont les sui-

vantes :

- Traitement analogique du signal source par un ajustement de gain et de dynamique, afin d'optimiser la conversion A/N.

- Désentrelacement éventuel des deux trames de l'image.

- Optention d'une maille carrée ou hexagonale.

Le bus de sortie de ce module est de 8 bits.

3.2. Module PLAN MEMOIRE IMAGE :

Ce module permet d'une part un accès séquentiel par les bus vidéo et, d'autre part, un accès aléatoire par le bus VME.

Il est organisé autour d'une mémoire de $512 * 512 * 32$ bits, utilisable pour stocker des informations de $512 * 512 * 8$ bits à $512 * 512 * 32$ bits.

Mode synchrone :

En mode synchrone, la génération des adresses d'accès à cette mémoire est réalisée pour chaque plan mémoire image sur le module. Ce générateur d'adresses est initialisé par l'IPC du module pour chaque configuration possible de travail : fenêtre $N * M$ avec format des données.

En outre, son organisation est telle que l'on peut dans ce mode, utiliser un bloc mémoire 8 ou 16 bits en lecture (information à traiter) et un bloc 8 ou 16 bits en écriture (stockage du résultat), ceci pour la même application. Cet aspect est particulièrement intéressant dans le cas de traitements itératifs comme la sommation à vitesse vidéo d'images issues du capteur vidéo.

A : image courante délivrée par le capteur

Bn : résultat des sommes précédentes sur 16 bits en virgule fixe ;

$$B_{n+1} = A + B_n$$

Une telle opération s'effectue selon le protocole suivant :

L'opérateur demande K acquisitions sur des images $N * M$. Un bloc commande est envoyé par l'unité centrale de gestion via l'IPC à chaque module concerné par cette manipulation:

Module Acquisition :

- taille de l'image



PROCESSEUR D'IMAGES VIDEO D'EVALUATION
PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON, J. GALICE, C. THIBAUD

- type de maille pour l'échantillonnage
- image entrelacée ou non entrelacée

Processeur de traitement :

- type d'opération
- flots d'entrée : acquisition et plan mémoire image
- destination flot de sortie
- retard R de l'information

Plan mémoire image :

- flot d'entrée
- flot de sortie
- type d'accès mémoire
- image restituée
- retard R1 de l'information

Mode asynchrone :

En accès asynchrone, les adresses sont présentées au module via le bus VME. Elles sont générées soit par l'unité centrale du système de gestion, soit par un processeur de traitement implanté sur le processeur de vision. Dans le premier cas, l'unité centrale voit cette mémoire dans son champ d'adresses. Il est ainsi possible de réaliser directement des traitements sur une image stockée, ou de transférer celle-ci sur mémoire de masse.

Trois modules plan mémoire image sont nécessaires afin de permettre des traitements itératifs sur des formats 32 bits flottants.

Chacun de ces modules possède un bus de sortie de 32 bits. L'un de ces bus est commun avec celui du "processeur morphologie mathématique", ils ne peuvent donc être utilisés en même temps.

3.3. Module RESTITUTION :

Il est organisé autour d'un plan mémoire image 512*512*11 bits, dont 3 sont réservés par un plan graphique. Les 8 autres bits sont ceux d'une image à restituer et proviennent de tout autre module.

Cette image est visualisée en pseudo couleur sur un moniteur couleur haute résolution par l'intermédiaire de tables de transfert (look up table).

Cette restitution s'effectue à vitesse vidéo, et l'affichage d'une nouvelle image

ou fenêtre dans l'image se fait de manière transparente. Un processeur d'adresses permet certains effets de restitution tel que le zoom d'une zone sélectionnée par une boule roulante (track ball).

3.4. Module PROCESSEUR MORPHOLOGIE MATHÉMATIQUE : (BONT 85).

Ce processeur met en oeuvre les concepts de la morphologie mathématique (SERRA 82) sur des images à deux niveaux de gris (binaire) ou des images à 64 niveaux de gris, ceci à vitesse vidéo.

Pour les images binaires, 8 cellules élémentaires peuvent être utilisées. L'ordre dans lequel s'enchaînent ces cellules est programmable ainsi que le type d'opération réalisé par chacune. L'élément structurant défini sur une fenêtre 3*3 est aussi programmable.

Pour les images à 64 niveaux de gris, 2 cellules élémentaires peuvent être utilisées avec les mêmes possibilités de programmation.

Les opérations de base sont, pour chaque cellule, l'INF et le SUP.

L'information délivrée par ce processeur pour une image binaire ou à niveaux de gris peut être une image ou une information "adresse de points de l'image possédant une spécificité définie par l'utilisateur, ainsi que des informations telles que surface de zones, connexité ...

4 - MODULES EN COURS DE DEFINITION ET D'ETUDE.

- Processeur de convolution :

Ce module doit réaliser une convolution spatiale sur une image N*M à vitesse vidéo avec taille du masque et coefficient de ce masque programmable.

Une étude doit permettre de déterminer les différentes limites de ce processeur pour ce qui est de la taille des masques à mettre en oeuvre, du format dans lequel doivent s'exprimer les coefficients du masque, ceci en fonction du plus large éventail possible d'applications.

- Processeur Format flottant :

Ce module doit permettre d'effectuer des traitements généraux. Il est organisé autour de circuits spécialisés évoluant à vitesse élevée : 10 MFLOPs.

PROCESSEUR D'IMAGES VIDEO D'EVALUATION
PRIVE 2

J.P. DERUTIN, J. ALIZON, P. BONTON, J. GALLICE, C. THIBAUD

(AYA 81)
AYACHE A. BIGUET G. CARPUAT P. BRUEL A.
Processeur d'Analyses de Traitement et Restitution d'images.
3ème Congrès de Reconnaissance des Formes et d'Intelligence Artificielle.
NANCY Septembre 1981.

(BAS 79)
BASILE J.L. CASTAN S. LATIL J.L.
Structure logique et physique de l'information dans un multiprocesseur adapté au traitement d'images.
GRETSI 7ème Colloque sur le Traitement du Signal
NICE 1979.

(BONT 85)
BONTON P. DALLE M. DERUTIN J.P. GALLICE J.
Processeur de Morphologie Mathématique Temps réel vidéo.
COGNITIVA 85 PARIS 4-6 juin 1985.
Pré-print.

(DER 84)
DERUTIN J.P. ALIZON J. GALLICE J.
Architecture d'un système "temps réel vidéo" pour traitement d'images numériques vidéo.
4ème Congrès AFCET "Reconnaissance des formes et Intelligence Artificielle".
PARIS 25-26-27 janvier 1984.

(DUFF 79)
DUFF M.J.B.
Review of the CLIP
Image Processing System
47ème Proceedings National Computer p. 1099

(DUFF 79)
DUFF M.J.B.
Parallel processors for digital image processing
Advances in digital image processing
Plenum Pub. Corp. NEW YORK, pp. 265-276.

(FLYNN 72)
FLYNN M.J.
Some Computers Organisation and their effectiveness.
IEEE Transaction on Computer, p. 948
21 Septembre 1972.

(FOUNT 80)
FOUNTAIN, GOETCHERIAN V.
CLIP4 parallel processing system
IEEE PROC., 127, Pt. E, 219-224.

(KRUSE 82)
KRUSE B. GUDMUNDSSON B. ANTONSSON J.
PICAP and Relationnal neighbourhood processing in FIP, Multicomputers and Image Processing.
Academic Press - 1982.

(SERRA 82)
SERRA J.
Image Analysis and Mathematical Morphologie.
Academic Press - 1982.

(STEN 79)
STERNBERG S.R.
Parallel Architectures for Image Processing
Proc. COMPSAC 1979.

(DER-1 84)
DERUTIN J.P. ALIZON J. GALLICE J.
Détermination de la position d'un objet manufacturé par processeurs câblés en temps réel vidéo.
Premier Colloque Image.
Traitement, Synthèse, Technologie et Applications.
BIARRITZ - Mai 1984.

Références techniques
(REF) : Microprocessors Data Manual 1982
Motorola Semi-conductors
(REF 1) : VME Manual
Motorola

