



NICE du 20 au 24 MAI 1985

SYSTEME DE DEVELOPPEMENT ADAPTE A LA VISION PAR ORDINATEUR  
A COMPUTER VISION ADAPTED DEVELOPMENT SYSTEM

*Myllène SCHEID, Alain CHEHIKIAN*

Laboratoire de Traitement d'Images et Reconnaissance de Formes  
INPG-ENSERG, 46 avenue Félix Viallet 38031 - GRENOBLE-CEDEX (France)

**RESUME**

La vision par ordinateur, à cause de ses applications en productique, connaît un développement spectaculaire. Dans ce type d'application, la rapidité est une caractéristique recherchée sinon indispensable que seuls les processeurs câblés peuvent offrir à un coût raisonnable, aux dépens de la flexibilité.

Le système *CODEVI*\* a pour ambition de remédier à ce dilemme. Il est articulé autour d'un bus (données, adresses, vidéo, synchros) sur lequel sont connectés des processeurs spécialisés :

- convertisseurs analogiques/numériques/analogiques,
- processeurs de calcul de gradient, Laplacien, ...,
- détection de contours,
- analyse de texture,
- analyse de teinte,
- mémoire d'image,
- calculateur,
- etc...

A priori, tous ces processeurs ont un même niveau hiérarchique. Seuls se distinguent les deux derniers : pour une application donnée le système est configuré au moyen d'un bus de contrôle géré par le calculateur qui a donc le double rôle d'exécution des tâches de haut niveau et de gestion du système : la mémoire d'image est un intermédiaire entre le calculateur et les processeurs rapides.

Le système "CODEVI" se présente donc comme un outil de développement à la fois matériel et logiciel conciliant les qualités de rapidité des systèmes câblés et la souplesse des systèmes programmés.

**SUMMARY**

The area of computer vision has shown a spectacular growth in recent years, notably because of its potential industrial applications.

In such applications the user demand fastness, a characteristic which only wired processors exhibit, at a moderate cost, however a certain loss in flexibility results.

The CODEVI system has been designed to remedy this problem. Specialized processors are connected on a domestic bus on which data, adresse, video and synchronization commands flow. A memory and a computer are also connected on this bus. For a particular application, the system is configured using a control bus managed by the computer which both executes high level and system management tasks.

The CODEVI system is an appropriate system for hardware and software development ; it combines the fastness of wired systems to the flexibility of programmed system.

\*CODEVI : COpcesseur DE VISION



## INTRODUCTION

L'existence aujourd'hui de processeurs câblés de traitement d'image [1] permet de réaliser des architectures modulables et programmables [2, 3] dont les caractéristiques en performances et les capacités d'adaptation sont incomparables.

Les exemples d'applications envisageables pour de telles architectures sont nombreux surtout dans le domaine de la vision par ordinateur en robotique et en inspection automatique. De plus, sur le plan industriel la vision par ordinateur augmente ses exigences concernant les performances algorithmiques, le temps d'exécution et la fiabilité de l'ensemble.

Dans cette communication, nous présentons un système multiprocesseur adapté principalement à la vision par ordinateur "CODEVI" (COprocesseur DE VISION) ayant pour ambition d'allier rapidité et flexibilité. CODEVI est constitué d'un ensemble de processeurs câblés réalisant chacun une fonction précise :

- conversion analogique/numérique/analogique,
- calcul de gradient,
- extraction de contours,
- calcul du bilaplacien,
- analyse de texture [4],
- analyse de teinte [5],
- mémorisation.

De ces différents processeurs articulés autour d'un même bus on peut toutefois en dissocier deux : le plan mémoire d'image et le calculateur hôte qui, nous le verrons, jouent un rôle particulier.

Dans cet article, nous allons dans une première partie décrire l'architecture générale de CODEVI, ensuite nous présenterons le plan mémoire d'image, le principe de gestion du coprocesseur et pour terminer nous donnerons un aperçu très succinct des divers processeurs câblés réalisés qui sont accueillis par le système.

## 1. CODEVI : ARCHITECTURE GENERALE DU COPROCESSEUR

Ce système permet d'effectuer l'acquisition d'une image en temps réel. Celle-ci est numérisée par l'intermédiaire d'un convertisseur analogique-numérique 6 bits (64 niveaux de gris disponibles). Plusieurs capteurs possibles peuvent être connectés (caméra vidicon, caméra CCD, caméra couleur par exemple), sans aucune limitation. Ils sont sélectionnés selon un principe de multiplexage programmé. Dans certains cas, plusieurs capteurs peuvent même travailler en parallèle, tout dépend de la configuration du bus choisie.

L'architecture du système est très simple (cf. figure 1). Les différents processeurs spécialisés sont articulés autour d'un bus central qui peut être scindé en deux zones de fonctionnalité différente :

- une partie permettant les échanges interprocesseurs y compris la mémoire et le calculateur,
- une partie utilisée pour la gestion du système appelée sous bus de contrôle.

Deux éléments se distinguent de l'ensemble : la mémoire et le calculateur qui occupent des places prépondérantes. Le calculateur a, en effet, le double rôle de gérer l'organisation du système d'une part et d'exploiter les données traitées d'autre part (algorithmes de reconnaissance de formes ou d'interprétation par exemple).

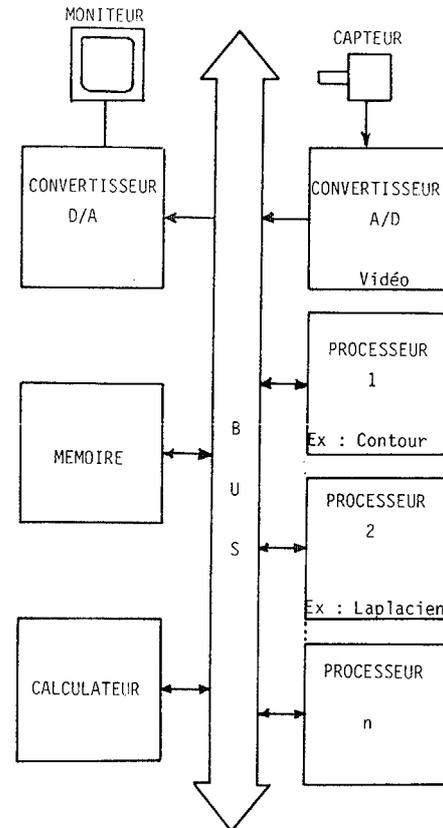


Figure 1 : Architecture du système CODEVI

La mémoire a également un double rôle : fonction mémoire d'image proprement dite, par exemple, un processeur peut traiter l'image mémorisée pendant qu'un autre traite l'image en cours, mais également fonction de tampon dans le dialogue avec le calculateur.

Le format maximum actuel de l'image traitée représente une fenêtre de 256x256 pixels. Il correspond à la capacité du plan mémoire et aux possibilités offertes par les caméras (390 points environ et 287 lignes pour le standard CCIR, 316 points et 242 lignes pour le standard NTSC). Cependant, ce format n'est pas figé et peut être étendu si nécessaire.

La présence d'un calculateur hôte aux côtés de processeurs câblés introduit deux notions temporelles différentes, ce qui se traduit pour le système CODEVI par deux modes différents de fonctionnement :

- le mode processeur d'une part,
- le mode calculateur d'autre part.

## - Le mode processeur -

Les échanges se font en temps réel, c'est-à-dire au rythme de l'acquisition des pixels défini par la fréquence d'échantillonnage de la caméra sélectionnée (8 MHz).

Dans ce cas, la caméra et son système d'échantillonnage définissent la vitesse du bus ; les processeurs (mémoire y compris, calculateur exclu) travaillent en synchronisme avec le capteur. Les divers échanges possibles durant ce mode seront explicités sur le synoptique de la figure 2.

SYSTEME DE DEVELOPPEMENT ADAPTE A LA VISION PAR ORDINATEUR

A COMPUTER VISION ADAPTED DEVELOPMENT SYSTEM

M. SCHEID, A. CHEHIKIAN

Ce mode est principalement caractérisé par le fait que le calculateur apparaît comme isolé du système au niveau des échanges. Il garde toutefois son rôle de gestionnaire de l'ensemble.

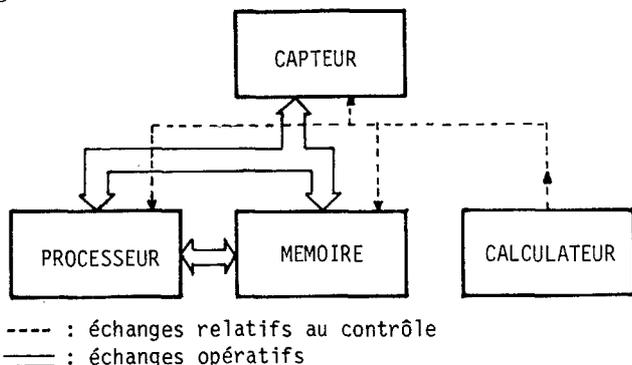


Figure 2 : Synoptique des échanges : mode processeur

- Le mode calculateur -

Le calculateur est un élément autonome synchronisé sur son horloge interne ; en conséquence, les échanges n'auront pas lieu en temps réel mais à la cadence propre de l'ordinateur qui peut d'ailleurs ne pas être constante selon les tâches exécutées. Dans cette configuration la mémoire et les processeurs (caméra exclue) travaillent en synchronisme avec le calculateur. La mémoire et les processeurs sont totalement exclus du flux des données.

A l'encontre du mode précédent, celui-ci est caractérisé par le fait que la caméra est totalement exclue des échanges. La figure 3 représente les échanges possibles en mode calculateur.

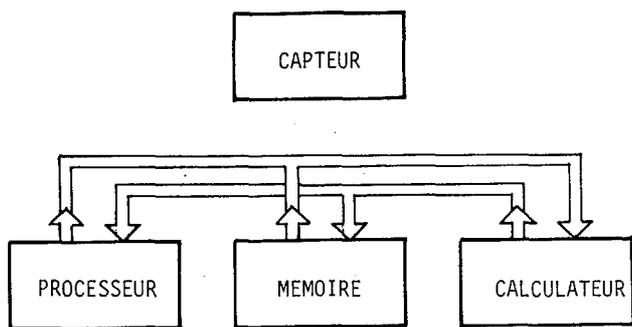


Figure 3 : Synoptique des échanges : mode calculateur

Pour satisfaire ces deux modes de fonctionnement, nous avons opté pour une structure pipeline ; structure qui convient à la fois pour les processeurs câblés et pour la mémoire d'image que nous allons présenter ci-dessous.

2. LA MEMOIRE D'IMAGE

Le plan mémoire image peut se décomposer en plusieurs plans parallèles accessibles indépendamment les uns des autres. Ceci offre un avantage considérable à savoir que l'on peut accéder à plusieurs images différentes simultanément, par exemple la trame n, et la trame n+p.

De ce fait, en leur appliquant des opérateurs adéquats (soustraction, addition, opérateurs logiques par exemple), nous pouvons espérer étendre le champ d'applications du système (figure 4).

Le nombre de plans mémoires en parallèle dépend seulement de la limitation du bus choisi.

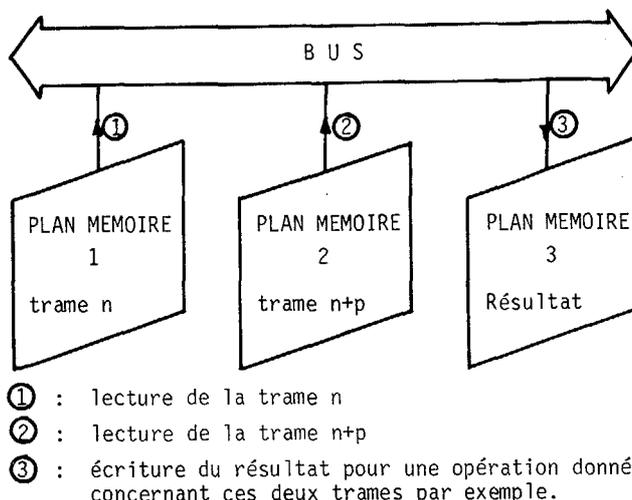


Figure 4 : Exemples d'échanges mémoire

Comme nous l'avons vu précédemment la mémoire d'image est organisée selon une structure pipeline. Si C est la capacité de la mémoire en mots, on organisera le plan en blocs de C/4 mots de 4.q bits (en effet les boîtiers élémentaires ont 4 bits de données). Les blocs mémoire fonctionnent successivement selon un mode pipeline.

La figure 5 explicite le principe de mémorisation d'une image. Cette stratégie permet l'utilisation de mémoires classiques de temps de cycle relativement moyen tout en conservant la compatibilité temps réel. En effet, le temps de cycle divisé par le nombre de blocs de la structure pipeline traduit directement cette compatibilité.

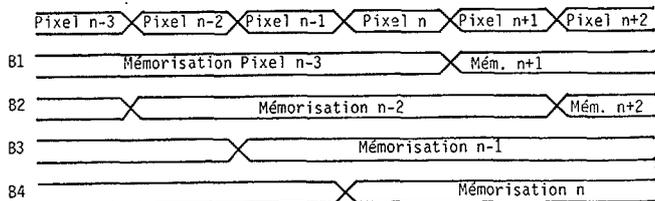


Figure 5 : Principe de mémorisation d'une image en mode pipeline avec 4 blocs B1, B2, B3, B4.

Pour cette application nous utilisons des mémoires dynamiques ayant un temps de cycle maximum de 350 ns. La fréquence d'échantillonnage choisie étant de 8 MHz nous avons donc un fonctionnement pipeline sur 4 blocs distincts.

Le rafraîchissement des mémoires ne pose aucun problème particulier car les mémoires sont en permanence en écriture ou en lecture.

La mémoire ayant un double accès : accès par les processeurs câblés ou accès par le calculateur, les opportunités offertes concernant les échanges imposent un système de gestion efficace qui va être présenté dans le paragraphe suivant.



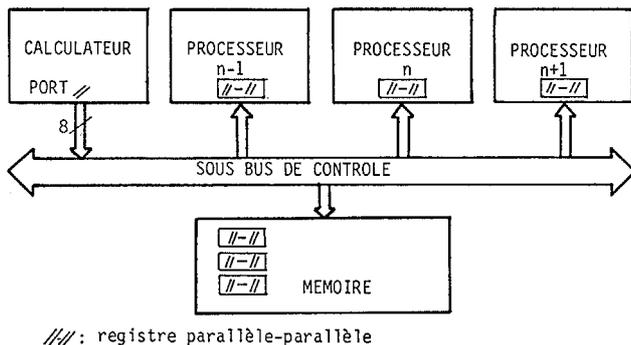
## 3. GESTION DU COPROCESSEUR C O D E V I

Elle est assurée par le calculateur hôte qui configure le système pour le type d'échange choisi. Pour régir les divers dialogues possibles, lire ou écrire dans une zone précise de la mémoire, il faut une partie contrôle importante ce qui selon l'organisation choisie ou le nombre de processeurs câblés connectés peut poser des problèmes au niveau de la dimension du sous bus de contrôle.

En imaginant, par exemple, huit fils de contrôle par processeurs connectés on arriverait par adressage direct des différents processeurs à un nombre de fils élevés, de même il faudrait prévoir pour ces processeurs un décodage de contrôle important.

De ce fait pour éviter d'une part une circuiterie fastidieuse et d'autre part pour limiter l'encombrement physique du sous bus de contrôle nous avons opté pour la solution suivante. Pour chaque processeur y compris la mémoire, on prévoit un ensemble de registres parallèles de 8 bits qui recevront les informations nécessaires à la gestion du processeur sous forme de mots de 8 bits émis en série d'un port parallèle du calculateur selon une séquence bien précise.

La figure 6 représente le synoptique de la partie contrôle du système.



///: registre parallèle-parallèle

Figure 6 : Principe de contrôle

Pour conférer au système une flexibilité plus importante la disposition des cartes les unes par rapport aux autres doit rester totalement libre. De ce fait lors d'une émission de mots de contrôle, il faut pouvoir sélectionner le processeur auquel sont destinés ces mots par un autre critère que celui de sa position sur le bus. En conséquence on affectera une adresse à chaque processeur, adresse qui précédera chaque émission de mots de contrôle (figure 7).

Un système de décodage est évidemment prévu sur chaque carte. Par contre, l'ordre des mots de contrôle sera important à l'intérieur d'une carte processeur lorsqu'on a une série de registre (carte mémoire de la figure 6 par exemple qui possède 3 registres). Dans ce cas, le premier mot émis sera stocké dans le registre positionné en dernier et ainsi de suite (figure 8).

## 4. RESSOURCES DISPONIBLES

Ces ressources sont de deux types :

- les ressources provenant du capteur ou d'un processeur câblé (image déjà traitée),
- les ressources provenant du calculateur hôte.

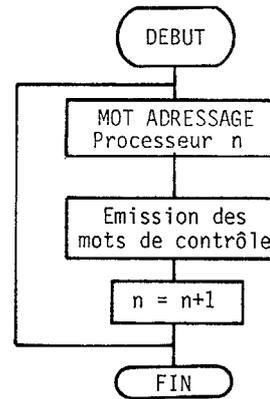


Figure 7 : Organigramme de contrôle : principe

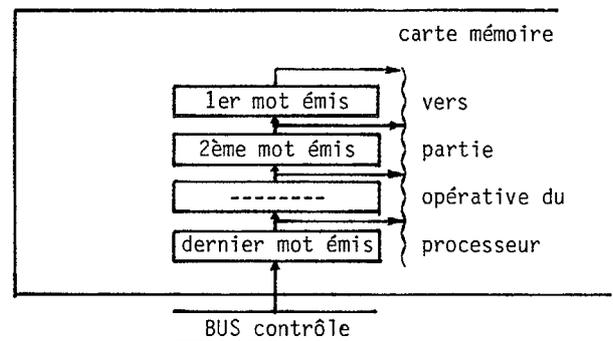


Figure 8 : Distribution des mots à l'intérieur d'un processeur.

Les ressources dues au traitement d'une image :

Elles sont nombreuses et variées :

- l'image elle-même à travers le convertisseur analogique numérique,
- les composantes du gradient associé à une image [1],
- les points de contraste ou contours [1],
- les composantes du Laplacien ou l'image décorrélée,
- les opérateurs de statistique locale qui permettent une analyse de texture [4],
- les filtrages numériques adaptés à la couleur [5].

Les ressources qui traitent l'information issue du calculateur :

- Visualisation par l'intermédiaire du convertisseur numérique analogique via la mémoire d'image des résultats d'algorithmes réalisés par le calculateur,
- traitement d'image de synthèse.

Un certain nombre de ces ressources sont déjà disponibles : calcul de gradient et détection de contours [1]. D'autres sont en cours de réalisation. Il n'y a aucune limitation a priori concernant les opérateurs câblés et les données traitées.

Cette structure remédie aux défauts communs à tous les systèmes câblés qui sont par essence figés. De plus elle est extensible sans aucune limitation.



---

## 5. CONCLUSION

Le travail que nous avons présenté a pour objectif de créer un système de développement adapté à la vision par ordinateur. Le coprocesseur de vision CODEVI que nous avons réalisé est constitué de processeurs câblés spécialisés dans l'analyse d'image, d'un calculateur hôte, d'un plan mémoire d'image qui assure la liaison entre les opérateurs spécialisés et le calculateur.

Ce système présente une originalité au niveau de la structure entièrement pipeline, ainsi que de l'organisation temporelle de l'ensemble.

S'intégrant dans le cadre du traitement d'image en temps réel, il autorise toutefois le dialogue avec le calculateur ce qui facilite l'application des algorithmes programmés et devient un système de prétraitement performant pour des tâches de haut niveau.

Ce système peut donc fournir des performances comparables à celles d'un calculateur plus puissant avec une rapidité d'exécution bien meilleure.

Ce coprocesseur permettra de résoudre un large éventail d'applications en vision industrielle, de part la diversité des processeurs câblés de traitement d'image en temps réel, de part sa flexibilité d'utilisation et sa grande capacité d'adaptation.

## BIBLIOGRAPHIE

- [1] A. CHEHIKIAN, J. HERAULT, E. MENDEZ  
Un processeur de détection de contours en temps réel dans une image de télévision.  
Ann. des Télécom., 38, n° 3-4, pp.91-98, 1983
- [2] J.P. DERUTIN, J. ALIZON, J. GAILLE  
Détermination de la position d'un objet manufacturé en temps réel vidéo par processeur câblé.  
1er Colloque Image, 2, pp. 456-459, 1984
- [3] G. GAILLARD  
Le calculateur parallèle CAPITAN 600 MPIS pour l'imagerie en temps réel.  
1er Colloque Image, 1, pp. 474-481, 1984
- [4] A. CHEHIKIAN, T. MENGKO  
Classification de textures naturelles. Evaluation des paramètres optimaux par analyse en composantes principales.  
1er Colloque Image, 2, pp. 585-591, 1984
- [5] I. OCADIZ-LUNA, C. JUTTEN  
Processeur câblé d'analyse de teinte.  
10e colloque sur le traitement du signal et ses applications, mai 1985.

