

TRAITEMENT DU SIGNAL ET SES APPLICATIONS

Nice 7 au 12 mai 1973

NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL

par

L. AUDAIRE

J. BOREL

R. POUJOIS.

RESUME Les récentes acquisitions de la technologie MOS offrent la possibilité de réaliser des retards purs analogiques ainsi que de mémoriser, pour de très longues durées, des signaux analogiques.

Ces deux fonctions permettent d'envisager l'intégration sur une même puce, de micro calculateurs calculant, par exemple, une fonction de convolution discrète de corrélation, ou de transformée de Fourier discrète.

A l'heure actuelle, nous étudions l'intégration d'un filtre non récursif. Ce dispositif n'en est qu'aux premiers stades de l'étude en laboratoire.

SUMMARY

Recent advances in M.O.S. technology offer the possibility of realising analog delay and memory. These two functions allow the integration, on one chip, of essentially analog microcalculators for implementation, for example, discrete convolution or correlation, or the discrete Fourier transform. We are presently beginning the implementation of a non recursive filter.

NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES ET TRAITEMENT DU SIGNAL

INTRODUCTION

Le traitement des signaux discrets fait intervenir des opérateurs Somme de Produits qui sont le pendant des équations intégrales des signaux continus. Ces opérateurs dans leur structure non-réursive : convolveur, corrélateur, TFD, sont constitués de l'association d'un grand nombre de cellules de calcul identiques. Chacune de ces cellules est constituée d'un élément de retard et d'une mémoire associés à un organe effectuant le produit entre la grandeur retardée et la grandeur mémorisée.

Nous sommes en train d'étudier une réalisation analogique d'un de ces opérateurs : convolveur non-réursif. Pour cela, nous utilisons les récentes acquisitions de la technologie MOS (Métal, Oxyde, Semiconducteur) disponibles au Laboratoire d'Electronique et de Technologie de l'Informatique du Centre d'Etudes Nucléaires de Grenoble : les mémoires permanentes MNOS et la ligne à retards analogique connue sous le nom de Bucket Brigade Device.

Après avoir introduit le transistor MOS, nous présenterons le transistor MNOS et l'effet de mémoire qui s'y rattache puis une ligne à retards analogiques discrets. Ces structures seront utilisées pour réaliser le filtre non-réursif qui est en développement. Dans cette dernière partie nous nous attacherons à montrer l'intérêt et les limitations de ces dispositifs.

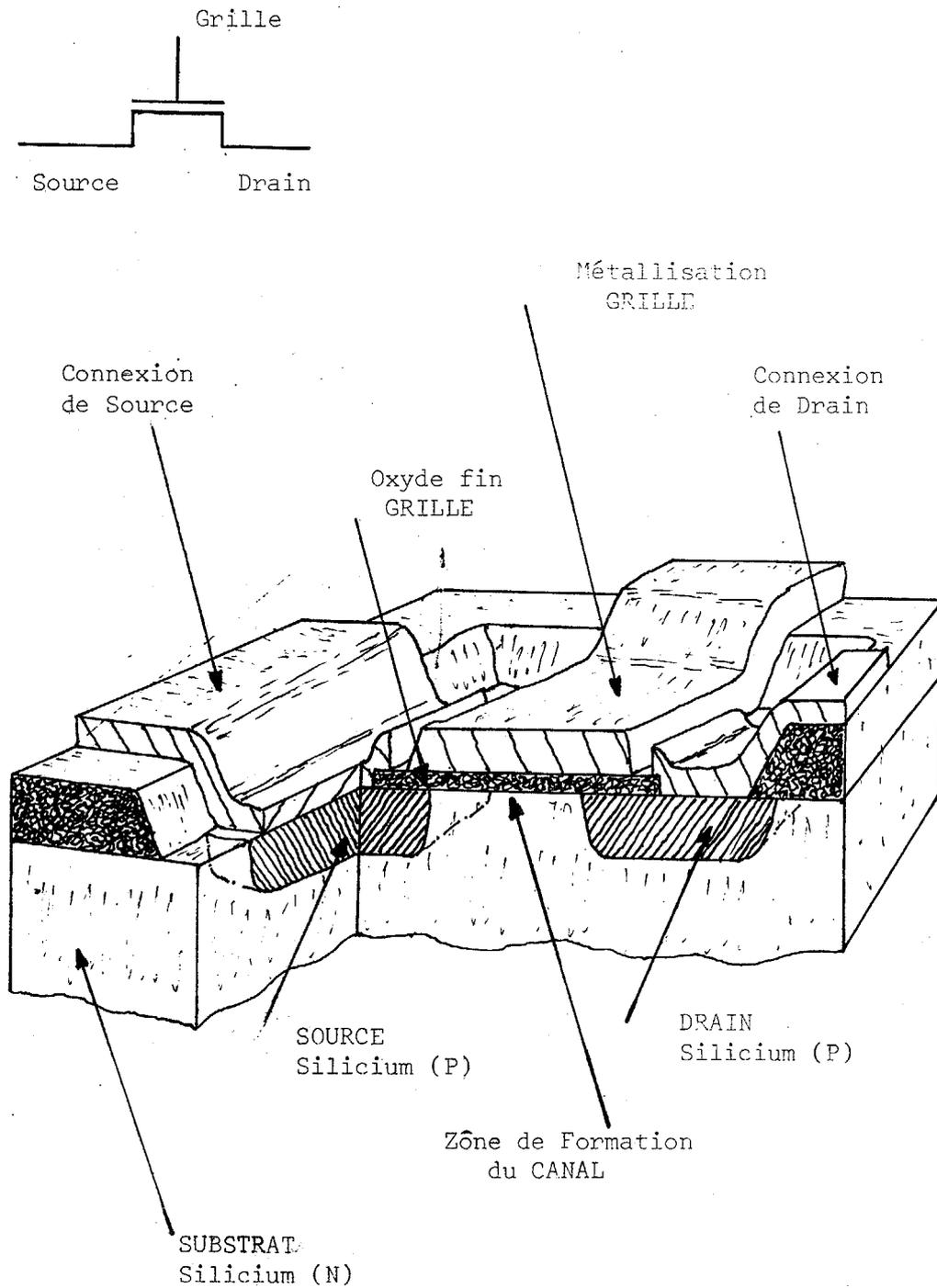
1 - TRANSISTOR MOS : METAL, OXYDE, SEMICONDUCTEUR

1.1. - Structures, dimensions, principe de fonctionnement

Un transistor MOS est constitué physiquement à partir d'un substrat de semiconducteur silicium dopé N dans lequel ont été formées deux zones dopées P constituant les électrodes de source et de drain. La surface du substrat entre les zones P de longueur L et de largeur Z (quelques microns) est recouverte d'une couche d'isolant : dioxyde de silicium (quelques



Figure (1) Anatomie d'un Transistor Métal Oxyle Semiconducteur.



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL

100 Å), lui-même recouvert d'une couche métallique aluminium (1 micron) constituant l'électrode de grille.

- Figure 1 -

La grille du transistor est isolée du substrat. Il se comporte comme un condensateur. Cette propriété est utilisée pour la réalisation de mémoires volatiles et partant, de lignes à retard analogique.

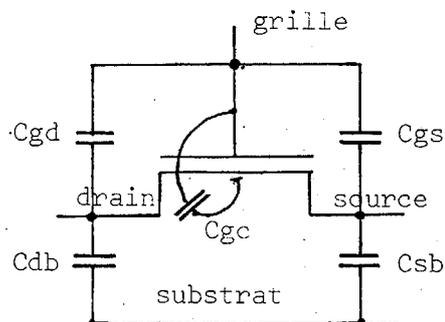


Figure (2)
Structure capacitive du
Transistor M O S

Cgd entre grille et drain

Cgb entre drain et substrat

Cgs entre grille et source

Cgb entre source et substrat

Cgc entre grille et canal

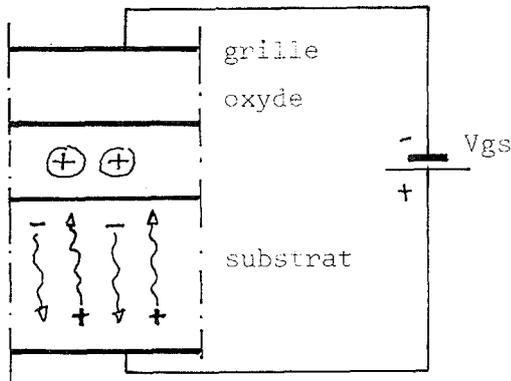
La conduction électrique, recherchée, entre drain et source implique que la continuité électrique ait été établie au moyen d'une nappe de porteurs P. Ces porteurs sont attirés à la surface du substrat par influence électrostatique de grille polarisée négativement : formation du canal d'inversion.

1.2. - Tension de seuil

L'inversion n'apparaît que pour une tension grille supérieure à une tension de seuil due, pour l'essentiel à la présence de centre ionisé fixes, positifs, occlus dans l'oxyde. Ces charges attirent en surface une nappe de porteurs négatifs. La formation du canal d'inversion suppose que la tension grille soit suffisamment négative pour avoir repoussé dans le substrat ces porteurs négatifs excédentaires. Ceux-ci seront d'autant plus nombreux que l'oxyde contient plus de charges, et pour avoir attiré sous la grille les porteurs P en nombre suffisant pour permettre la conduction entre source et drain.



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL



Influence des charges positives fixées dans l'oxyde : tension de seuil. V_{gs} doit être suffisant pour attirer les trous sous l'oxyde

Ce phénomène, contrôlé électriquement dans un isolant à deux couches de diélectrique, est utilisé pour la réalisation de mémoires permanentes réinscriptibles.

1.3. - Equation de fonctionnement

La tension grille source utile d'un transistor est égale à la tension appliquée (V_{gs}) diminuée de la tension de seuil (V_{th}).

Selon les grandeurs relatives de la tension drain source (V_{ds}) et la tension grille source utile ($V_{gs}-V_{th}$) le transistor a deux comportements différents :

Comportement ohmique : V_{ds} inférieur à ($V_{gs}-V_{th}$)

$$I_{ds} = M \cdot C_{ox} \cdot Z/L \cdot (V_{gs}-V_{th}-V_{ds}/2) \cdot V_{ds}$$

Pour les faibles valeurs de la tension V_{ds} , le transistor se comporte comme une conductance commandée soit par la tension grille source, soit par la tension de seuil :

$$G_{ds} = M \cdot C_{ox} \cdot Z/L \cdot (V_{gs}-V_{th}) = I_{ds}/V_{ds}$$

Comportement saturé : V_{ds} supérieur à $V_{gs}-V_{th}$

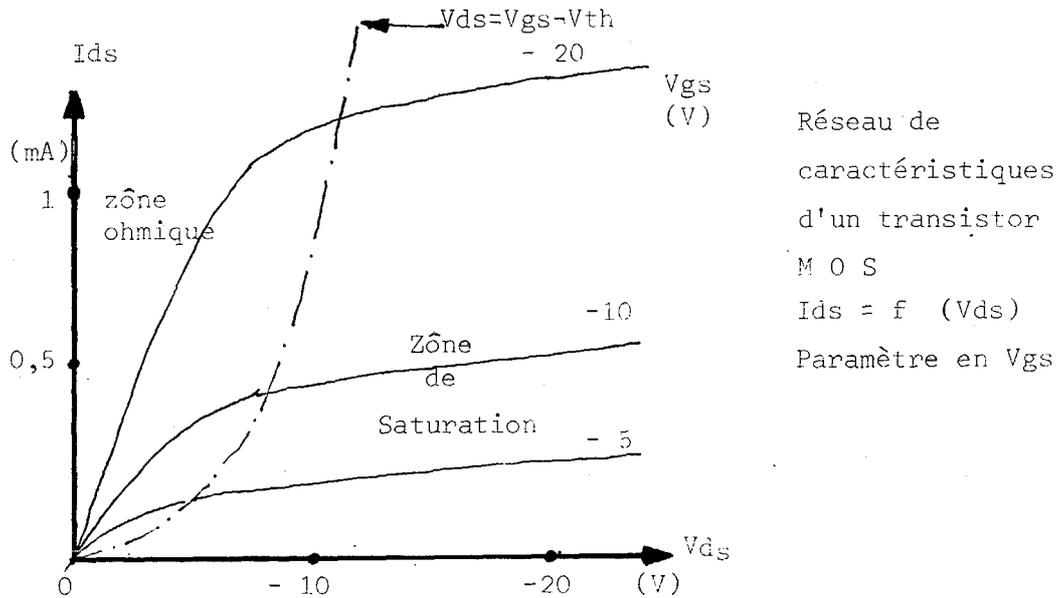
$$I_{ds} = M \cdot C_{ox} \cdot Z/2L \cdot (V_{gs}-V_{th})^2$$

En première approximation, le courant dans le transistor est indépendant de la tension drain source : le transistor se comporte comme un générateur de courant quadratique commandé soit par la tension grille source, soit par la tension de seuil.



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL

M est la mobilité des porteurs, C_{ox} la capacité de l'oxyde par unité de surface, Z la largeur du canal, L sa longueur.



2 - TRANSISTOR MNOS : METAL, NITRURE, OXYDE, SEMICONDUCTEUR

Isolant à deux couches de diélectrique, effet de mémoire.

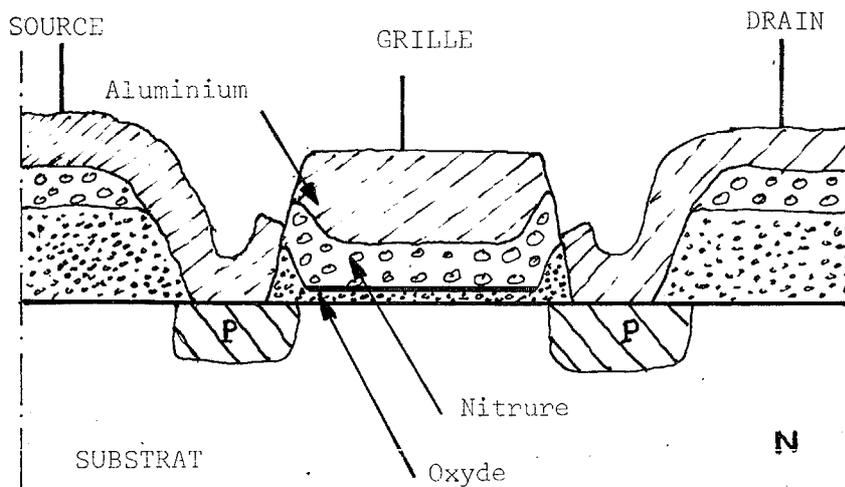
Nous venons de voir que la tension de seuil est fonction de la charge fixée dans l'isolant. La structure M.N.O.S. permet de contrôler cette charge en signe et en quantité, donc de mémoriser une tension de seuil.

2.1. - Structure, principe de fonctionnement

La structure de base est essentiellement la même : métal, isolant, semiconducteur, seul l'isolant est constitué de deux couches de diélectriques différents : à la surface du substrat, une couche de dioxyde de silicium SiO_2 (quelques 10Å) recouverte d'une couche de nitrure de silicium Si_3N_4 (quelques 100Å).



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL



Une tension de grille, positive ou négative suffisamment élevée induit dans les diélectriques des champs importants et y provoque des courants. Ces courants sont différents dans les deux isolants, il y a donc accumulation de charges à leur interface. Or il existe, à cet interface, des centres capables de fixer les porteurs P ou N pour des durées variant de quelques semaines à quelques années selon l'épaisseur d'oxyde.

2.2. - Ecriture de la mémoire

Les charges stockées modifient de façon permanente la tension de seuil du transistor. Cette tension sera positive si le bilan de charge est électriquement négatif et négative si le bilan est positif. Ceci correspond sur la grille à une tension appliquée, pour l'écriture de la mémoire, respectivement positive et négative. Tensions dites respectivement de piégeage et de dépiégeage. La quantité de charges stockées varie continuellement en fonction de l'amplitude de la tension d'écriture et du temps pendant lequel celle-ci est appliquée. Les figures 4 et 5 présentent les réseaux de caractéristiques expérimentaux :

$V_{th} = f(V_{gs} \text{ écriture})$ paramétrés en temps d'écriture pour un dispositif ayant 35 Å d'épaisseur d'oxyde et 540 Å d'épaisseur de nitrure.

NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES

ET TRAITEMENT DU SIGNAL

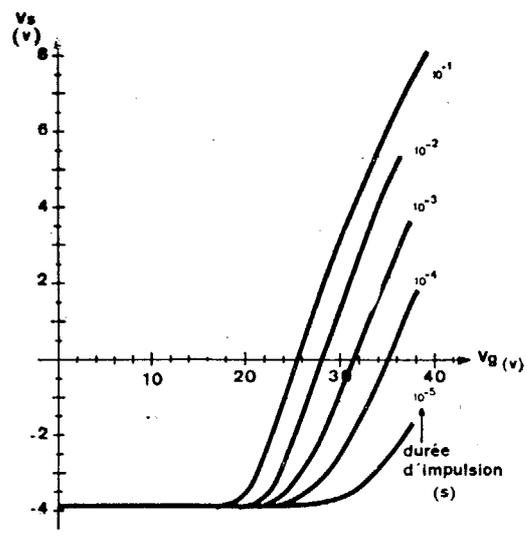


Figure (4) PIEGEAGE

Une impulsion d'amplitude V_g positive de durée T attire des électrons à l'interface Nitrure oxyde où ils sont piégés :
 Piégeage d'électrons
 la tension de seuil V_s croit.

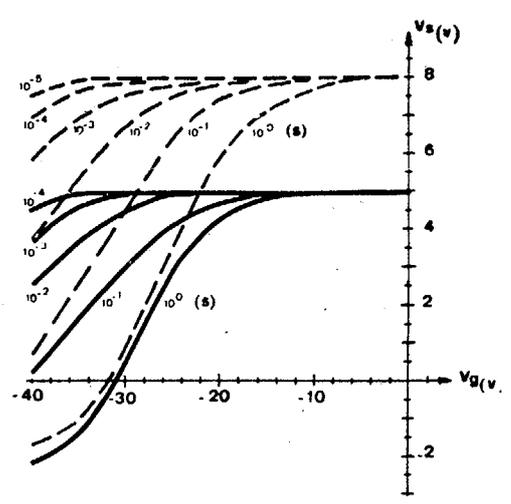


Figure (5) DEPIEGEAGE

Une impulsion d'amplitude V_g négative et de durée T attire des trous à l'interface Nitrure oxyde où ils sont piégés. Il est équivalent de dire que les électrons ont été dépiégés.
 La tension de seuil décroît.

Les transistors MNOS sont, a priori, utilisables en mémorisation d'échantillons de signaux analogiques. Après piégeage à un niveau de référence de la mémoire (RAZ) le canal est porté à un potentiel représentatif de l'information et une impulsion d'écriture est appliquée sur la grille en dépiégeage. La variation de la tension de seuil est image de la tension analogique. La lecture est non destructive, elle s'effectue simplement en polarisant le transistor correctement, la grandeur de sortie est alors le courant I_{ds} . Ces mémoires sont modifiables et réinscriptibles.



2.3. Caractéristiques essentielles d'un point mémoire M.I.I.S.

- Technologiques :

Épaisseur d'oxyde : $h_{ox} = 20 \text{ à } 30 \text{ \AA}$

Épaisseur de nitrure : $h_n = 400 \text{ à } 900 \text{ \AA}$

Substrat N, dopage : 10^{15} atomes de bore/cm³

- Ecriture :

T Ecriture : 10^{-2} s (dépiégeage)

V Ecriture : de 15 à 25 V

Variation de la tension de seuil de + 5 à - 2 V

Défaut de linéarité : 3% pour cette plage de variation

Fidélité : meilleure que 1%

- Encombrement :

quelques 10 microns par quelques 10 microns : encombrement d'un transistor. Il est possible d'implanter une centaine de ces mémoires dans un même circuit intégré, compte tenu des périphériques affectés à chacune.

- Consommation :

En lecture, la consommation est celle du transistor, soit quelques mW.

- Rétention :

La tension de seuil, porteuse de l'information mémorisée, évolue dans le temps. Cette variation est approximativement proportionnelle au logarithme du temps écoulé après l'écriture à raison de 0,4 V par décade en moyenne. Mais la rétention est d'autant meilleure que l'épaisseur d'oxyde est grande et que la charge injectée est faible. Elle est en outre fonction de la tension de polarisation appliquée sur la grille après écriture.

- Usure :

L'effet de mémoire se dégrade sous l'influence de cycles RAZ, écriture , cette dégradation reste faible pour un nombre de cycles inférieur à 10^4 .

- Effets de la température :

Dans la gamme 0, 70° C, le comportement de la mémoire est pratiquement indépendant de la température.

3 - STRUCTURE DITE " BUCKET BRIGADE DEVICE " (BBD)

Chaîne à seaux

Effet de mémoire, ligne à retards analogiques discrets.

Nous avons vu qu'une structure MOS constituait un condensateur dont l'une des électrodes est la métallisation de grille, l'autre étant le canal, lorsqu'il existe, et les zones P. Ces zones constituent avec le substrat N une diode qui, en fonctionnement normal, est polarisée en inverse, elles se comportent également comme des condensateurs;fig.(2) L'ensemble de condensateurs ainsi constitué est capable de mémoriser des charges. Mais cette mémoire est volatile : l'information s'y dégrade rapidement sous l'effet du courant de fuite de la diode qui décharge la structure. Ainsi, par exemple, un condensateur de 5 pF (100 microns par 100 microns à 23° C, se décharge à raison de 10 V/s, limitant à quelques ms le temps utile de la mémorisation.

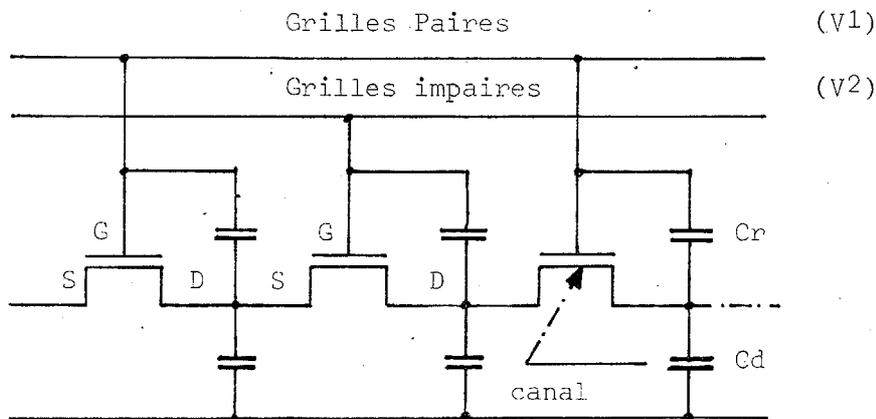
3.1. Structure et fonctionnement d'un BBD

Un BBD est constitué d'une série de condensateurs du type décrit ci-dessus obtenu par un recouvrement important de la grille sur des zones P (structure dissymétrique).



Les grilles paires, respectivement impaires, sont connectées et attaquées par des signaux d'horloge en opposition de phase. Un transistor, constitué par deux zones P successives et la grille, est, soit bloqué : les deux systèmes de condensateurs sont alors isolés l'un de l'autre, soit saturé : il se comporte alors comme un générateur de courant qui transfère des charges du condensateur drain au condensateur source.

Schéma électrique d'un "Bucket Brigade Device "



Cr : capacité de recouvrement de la grille sur la zone P côté drain lors du transfert

Cd : capacité des diodes PN polarisées en inverse
(V1), (V2): deux tensions d'horloges en opposition de phase (0, -Vh)

Canal : zone sousjacent à la grille mettant en relation deux systèmes Cr, Cd successifs lorsque la tension d'horloge est négative.

Chaque système de condensateur constitue, en quelque sorte, un seau qui vide son eau dans le seau suivant jusqu'à ce que celui-ci soit plein, et se remplit à l'eau du seau précédent. L'information, portée par un défaut de remplissage, est introduite dans le premier seau de la chaîne et se propage de seau en seau au rythme des signaux d'horloge.

NOUVEAUX CIRCUIS INTEGRES MOS ANALOGIQUES

ET TRAITEMENT DU SIGNAL

Comme dit ci-dessus, les seaux sont percés : le signal ne peut demeurer au total plus de quelques 10 ms dans l'ensemble du BBD sous peine de dégradation prohibitive.

Par ailleurs le transfert est un phénomène asymptotique, l'erreur commise lors d'un transfert sera d'autant plus importante que le temps accordé au transfert sera petit : La fréquence d'horloge maximale pour l'utilisation d'un BBD est de l'ordre de 5 MHz.

Pour des fréquences d'horloge supérieures à la fréquence de Nyquist du signal transféré, un BBD se comporte comme une ligne à retards purs analogiques discrets. Le signal peut être lu au moyen d'un dispositif à haute impédance d'entrée (grille de transistor MOS) à la sortie de chacun des retards élémentaires.

3.2. Caractéristiques essentielles d'un Bucket Brigade Device

- Technologie :

Substrat type N, dopé au bore 10^{15} A/cm³, 50hms/cm

Epaisseur d'oxyde grille : 1000 Å

Zône P dopée au phosphore 10^{18} A/cm³

- Encombrement d'un retard élémentaire :

Pratiquement celui de deux transistors

75 microns par 150 microns

Il est possible d'implanter plusieurs centaines de retards élémentaires sur un même circuit intégré

- Consommation d'un retard élémentaire :

Croît avec la fréquence d'horloge f_h

Croît avec le défaut de charge à transférer Q_i

Croît avec l'amplitude des signaux d'horloge V_h

$$P_{cons} \approx 2 Q_i f_h (V_h - Q_i/C)$$

soit environ quelques 10 microwatts à 1 MHz.



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES

ET TRAITEMENT DU SIGNAL

- Retard maximum :

Quelques 10 ms (voir le phénomène de décharge d'une structure MOS). Il est possible de gagner une décade en utilisant deux BBD parallèles lus en différentiel : compromis encombrement performances.

- Qualité du transfert :

Croît avec l'amplitude de la tension d'horloge V_h
Décroît avec l'amplitude du signal transmis : plus le défaut de charge est important, plus la quantité de charge à transférer l'est.
Décroît en fonction de la fréquence d'horloge.

- Nombre de transferts :

La dégradation de l'informatique croît comme la puissance du nombre de transferts effectués, ainsi une dégradation de 0,1 % par transfert conduit à une dégradation de 1% pour 10 transferts, de 10 % pour 100, de 43 % pour 500.

- Fréquence maximale :

La fréquence d'horloge maximale est de l'ordre de quelques MHz.

- Dynamique et bruit :

Signal maximum : pratiquement la tension d'horloge: 5 à 10 V
Signal minimum : celui du niveau de bruit de l'organe de lecture de la mémoire, celui d'un transistor MOS, de l'ordre de quelques millivolts.

4 - UN EXEMPLE D'UTILISATION DE CES DISPOSITIFS : INTEGRATION D'UN FILTRE NON RECURSIF

4.1. Structure et Principe de fonctionnement

Nous avons implanté une maquette de convolveur non récursif. Celle-ci est en cours d'intégration. Un échantillon de la réponse impulsionnelle du filtre est mémorisée dans une grille de transistor MNOS insérée dans un circuit de produit. Les échantillons du signal d'entrée circulent dans un Bucket Brigade Device.

La réponse impulsionnelle est introduite en série, sous forme d'échantillons, dans la ligne à retards servant, en fonctionnement normal, à la circulation du signal d'entrée et transférée en parallèle dans les mémoires MNOS de chacune des cellules élémentaires.

La grandeur de sortie, somme des courants issus de chacun des multiplieurs, est égale au produit de convolution discrète entre les N échantillons du signal d'entrée et N échantillons de la réponse impulsionnelle mémorisée :

$$S(n) = \sum_{i=0}^{N-1} H(i) \cdot E(n-i) \quad \text{Voir figure (3)}$$

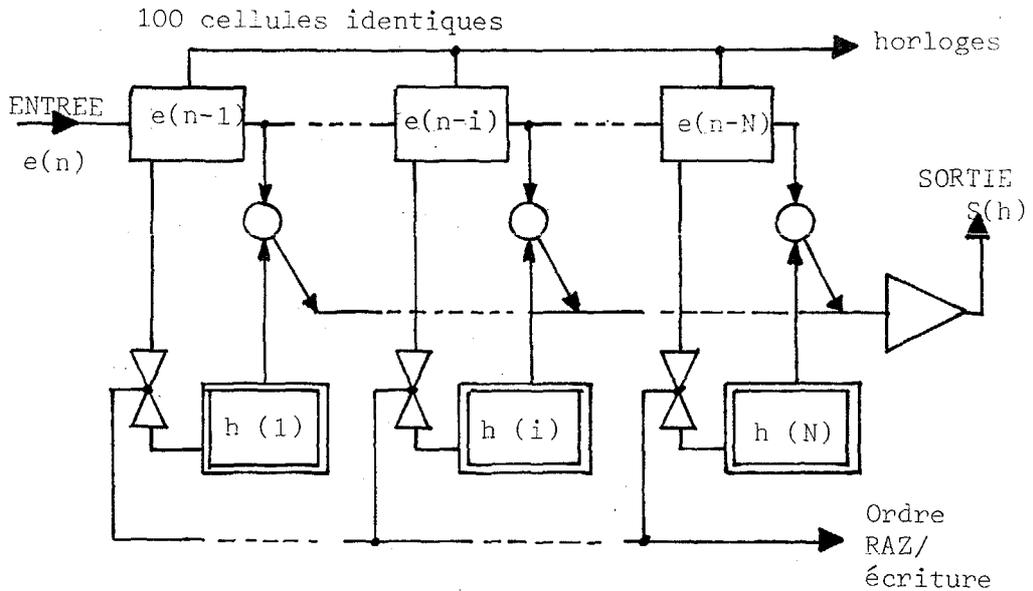
La maquette va nous permettre de chiffrer, d'une part, les non linéarités et les bruits apparaissant au niveau d'une cellule élémentaire et, d'autre part, les dispersions de caractéristiques entre les diverses cellules sur une même puce de circuit intégré. En particulier, la tension de seuil V_{th} , dans une structure à un seul diélectrique, est un phénomène technologique difficile à contrôler, elle fluctue à la surface d'un même circuit intégré. Pour fixer les idées, disons que sur un circuit intégré de 1mm^2 de surface, la valeur moyenne de la tension de seuil étant de $-2,5\text{ V}$ son écart type sera de l'ordre de $0,3\text{ V}$.



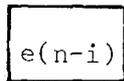
4.2. : Schéma du filtre non récursif

$$s(n) = \sum_{i=1}^N h(i) \cdot e(n-i)$$

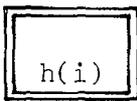
Figure (3)



Légende



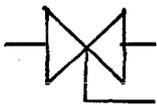
Retard élémentaire contenant le signal d'entrée retardé de i périodes d'horloge : deux cellules de BBD.



Mémoire MNOS contenant le $i^{\text{ème}}$ échantillon de la réponse impulsionnelle du filtre décrite en N échantillons.



Multiplieur effectuant le produit entre la grandeur mémorisée $h(i)$ et le signal d'entrée retardé $e(n-i)$



Interconnexion entre la ligne à retard et les mémoires MNOS permettant d'introduire la réponse impulsionnelle en série dans le filtre.



Sommateur de sortie effectuant la somme des 100 produits élémentaires.

4.3. Intérêts et limitations

Chacun des dispositifs élémentaires utilisés : B B D, transistors MNOS, circuit de produit et de sommation, a déjà fait l'objet de nombreuses mesures ou simulations sur ordinateur, leur comportement individuel est bien connu. Cependant, leur association au sein d'un même circuit, en vue d'un calcul analogique, n'a pas encore été réalisée.

De ce fait, les classes de fonctions de transfert réalisables (nombres de transitions, pertes d'atténuation, atténuation maximale) ne pourront être précisées que lorsque nous aurons chiffré les différentes erreurs de calcul et leur influence sur l'équation de convolution.

L'expérience déjà acquise au L.E.T.I. sur les circuits intégrés linéaires à transistors MOS et les simulations sur ordinateur déjà effectuées nous permettent d'attendre les performances suivantes :

- dynamique du signal d'entrée : 50 dB
- dynamique du signal de sortie : 60 dB
- dynamique des pondérations : 50 dB + 10 dB
- précisions sur les pondérations: qq %

La structure répétitive du circuit se prête remarquablement bien à l'intégration. Nous pensons, dans le circuit final, intégrer une centaine de cellules élémentaires sur une puce de 5 mm². Les filtres réalisés ainsi ne pourront certes pas rivaliser avec les filtres téléphoniques ou numériques, en ce qui concerne leur stabilité dans le temps et les vitesses de transition, mais ils présenteront les avantages des circuits intégrés : faible consommation : qq 100 mW, faible encombrement et surtout une grande souplesse de fonctionnement : La réponse impulsionnelle est modifiable.



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL

Au demeurant, la structure que nous étudions est certainement l'Art et la seule manière, à l'heure actuelle, pour intégrer entièrement des filtres simples dans la gamme 100 Hz, 2 MHz.

C O N C L U S I O N

Nous avons choisi un assemblage particulier des fonctions retard, mémoire, produit et somme. Ce choix est justifié par l'intérêt de la fonction filtrage, mais également par la richesse de la structure du circuit qui permet à notre Laboratoire d'acquérir une expérience pratique sur le comportement et les performances de circuits intégrés avancés qui n'ont pas, à l'heure actuelle, d'équivalent.

Cet assemblage n'est évidemment pas le seul et l'expérience acquise à l'occasion de la réalisation du filtre permettra d'envisager la réalisation de fonctions autres dont le catalogue est, à priori, difficile à préciser.

Notre conviction est que nous sommes en présence d'une nouvelle génération de circuits qui utiliseront au mieux les propriétés des L.S.I. à structure M.O.S. et dont le développement se fera par une discussion entre les utilisateurs potentiels, les théoriciens de l'information et les technologues.



NOUVEAUX CIRCUITS INTEGRES MOS ANALOGIQUES
ET TRAITEMENT DU SIGNAL

BIBLIOGRAPHIE

Transistor MOS

" An Accurate Large-Signal MOS Transistor Model For Use in Computer-Aided Design ". G. Merckel, J. Borel, Nicolae Z. Cupcea. IEEE Transaction On Electron Devices, Vol. ED-19, N° 5, May 1972.

Structure MNOS

" Les structures mémoires MNOS ". P. Gentil, V. Le Goasoz, J. Borel. L'ONDE ELECTRONIQUE, Vol. 52, Fasc 10, Nov 1972

" Properties of MNOS Structures ". K. Ingemar Lundström, Christer M. Svenson. IEEE Transaction on Electron Devices, Vol. ED-19, N° 6 June 1972.

" Electronic Processes in Metal-Silicon Nitride-Silicon Dioxide-Silicon Systems ". Keizo Kobayashi, Kuniichi Uhta. Japanese Journal Of Applied Physics, Vol.11, N° 4, April 1972.

" The Metal-Nitride-Oxide-Silicon (MNOS) Transistor, Caractéristiques and applications " Dov Frohman-Bentchkowsky. Proceedings of IEEE, Vol.58, N° 8, August 1970.

" Theory of the switching behaviour of MIS memory Transistors ". E.C. Ross, J.T. Wallmark. RCA Review, June 1969.

Bucket Brigade Device

" Fabrication and Performance Considerations of charge-transfer dynamic shift Register ". C.N. Berglung, R.J. Strain. The Bell System Technical Journal, Vol 51, N° 3, March 1972.

" Incomplete Charge Transfer in IGFET Bucket Brigade shift Registers ". K.K. Thornber. IEEE Transaction on Electron Devices, Vol. ED 18, N° 10, October 1971.

" Progress on Bucket Brigade Charge Transfer Devices". L. Boonstra, F.L.J. Sangster. International Solid State Circuit Conference, Philadelphia, February 1972.