

Architecture et applications d'un processeur de traitement numérique du signal de la seconde génération : le TMS32020

A second generation digital signal processor: TMS32020.

Architecture and applications

Cole ERSKINE

Senior application Engineer. Communication DPT/Programmable Products div. Houston.

Surendar MAGAR

Senior Member of Technical Staff. DSP Architecture/PPD Houston.

Edward CAUDEL

Senior Design Engineer. Design DPT/PPD Houston.

Daniel ESSIG

Senior Design Engineer. Communication DPT/PPD Houston.

Alain LEVINSPUHL

Chef de produit TMS320.

Adresser toutes questions à : Alain LEVINSPUHL, Texas Instruments France, BP n° 05, 06270 VILLENEUVE-LOUBET, Tél. (93) 20.01.01, poste 2406.

RÉSUMÉ

Texas Instruments produit depuis 1983 un circuit de traitement numérique du signal : le TMS32010. Aujourd'hui se fait jour une 2^e génération de « DSP » avec le TMS32020 qui entrera en production au 2^e semestre 1985. Cet article a pour but d'informer le lecteur sur les caractéristiques particulièrement intéressantes que présente ce nouveau circuit.

MOTS CLÉS

DSP (Digital Signal Processor), Traitement numérique du signal, TMS320/TMS32020.

SUMMARY

Texas Instruments is manufacturing a digital signal processor since 1983: the TMS32010. Today a second "DSP" generation is coming with the TMS32020 which will be in production on the second half 1985. The objective of this article is to inform the reader on the very interesting characteristics offered by this circuit.

KEY WORDS

DSP (Digital Signal Processor), TMS320/TMS32020

Présentation.

Le premier numéro de la revue TS contenait une série de présentations de composants de traitement du signal. Nous voyons ici comment l'un des constructeurs fait progresser son produit. Nous trouvons un microprocesseur qui, tout en concernant une arithmétique entière, se rapproche de plus en plus d'un processeur vectoriel en se qui concerne l'adressage des données. Notons les diverses possibilités d'extension de ce circuit par association des mémoires externes et par assemblage en structures multi-processeurs.

Joël Liénard

TABLE DES MATIÈRES

Introduction

1. Architecture
2. Unité arithmétique et logique
3. Caractéristiques multiprocesseur et interface E/S
4. Télécommunication, instrumentation : deux applications phares
5. Matériels et logiciels de développement

Introduction

Cet article concerne la description de l'architecture et du jeu d'instruction d'un processeur de traitement numérique du signal (DSP) (Digital Signal Processing) « VLSI » (Very Large Scale Integration) de la seconde génération, présentant une avance technologique significative. Il se différencie de ses prédécesseurs, par le fait qu'il ressemble plus à un vrai microprocesseur que les autres microcalculateurs « DSP ». Il se distingue également par ses possibilités de fonctionnement en multiprocesseur permettant une flexibilité accrue dans le développement global du système. L'architecture interne comprend une structure double bus, alors qu'extérieurement les circuits périphériques sont minimisés grâce au multiplexage de ces bus à l'extérieur. Parmi les caractéristiques remarquables de ce circuit figurent deux importants blocs de mémoire RAM (Random Access Memory) intégrés, une grande capacité d'adressage externe (programme ou données), des instructions de multiplication/addition en un seul cycle, une structure et des instructions permettant une utilisation efficace des mémoires et un interface multiprocesseur très versatile.

1. Architecture

Le bloc diagramme du processeur apparaît sur la figure et la liste de ses principales caractéristiques est donnée dans le tableau. A l'intérieur le processeur est

organisé en une structure double bus programme/données. Les blocs de mémoire RAM intégrés B0 et B1 sont dynamiquement reconfigurable (par instructions) soit comme des espaces « données » et « programme » séparés soit comme deux espaces « données » contigus. Le bloc B0 (configurable soit comme « programme » ou « donnée ») contient 256 mots de 16 bits de mémoire RAM alors que le bloc B1 (uniquement de « données ») contient 288 mots de 16 bits de mémoire RAM. Cette possibilité de configuration permet au circuit d'exécuter un programme à partir du bloc B0 en utilisant les 288 mots restants de la mémoire RAM intégrée comme mémoire de « données ».

Extérieurement le circuit n'utilise qu'un seul bus pour communiquer avec des mémoires « programme » ou « données » et avec des entrées/sorties. Ainsi, des programmes contenus dans les mémoires externes peuvent également être exécutés à vitesse maximale en utilisant l'ensemble des 544 mots de mémoire RAM comme mémoire de « données ». Le processeur permet également que les espaces « programme » et « données » soient situés à l'extérieur du circuit. Cette configuration est souvent utile pour des applications utilisant un grand nombre de données nécessitant plus de 544 mots de mémoire RAM. Les programmes peuvent aussi résider dans le bloc de mémoire RAM intégrée B0 et accéder à des mémoires de données externe. Dans chacun de ces cas le contrôle des accès aux mémoires « programme/données » et du multiplexage du bus externe est automatiquement assuré par le processeur et est déterminé par les adresses contenues dans l'instruction en cours.

L'adressage des opérandes est effectué en mode d'adressage direct ou indirect. L'adressage direct permet au programmeur de spécifier l'adresse d'un mot à l'intérieur d'une page de 128 mots dans le code même de l'instruction. Un pointeur de page de données composé de 9 bits indique le reste des 16 bits d'adresse de manière à déterminer laquelle des 512 pages doit être appelée pour l'instruction en cours. L'adressage indirect permet l'utilisation de l'un des cinq registres auxiliaires devant servir de pointeur pour les opérations mettant en jeu la mémoire. Une unité arithmétique séparée et spécifique aux registres auxiliaires permet au registre auxiliaire utilisé d'être, incrémenté, décrémenté ou indexé suivant le contenu d'un autre registre auxiliaire, durant le même cycle. Ce dernier mode est souvent utile quand il est nécessaire de balayer une zone de « données » par incrémentation non unitaire comme par exemple dans un calcul

APPLICATIONS

matriciel ou pour un calcul de transformées de Fourier rapide. Les registres auxiliaires peuvent aussi être utilisés comme compteur de boucle en conservant la même facilité de modification de leur contenu à chaque passage successif de la boucle.

Des structures et instructions spéciales ont été incorporées afin de permettre une gestion efficace des espaces mémoires « programme/données » internes et externes. Par l'utilisation de l'entrée « READY », des mémoires et circuits périphériques plus lents peuvent être utilisés par le biais de la génération d'un état d'attente.

Les transferts de blocs de « données » sont aussi facilités par la possibilité de transférer d'une zone mémoire à une autre de grands blocs de « programme » ou de données. Quand elle est utilisée avec l'entrée « READY » cette possibilité de transfert par bloc permet à des programmes d'être chargés en mémoire RAM intégrée à partir de mémoires externes plus lentes comme une EPROM (Erasable Programmable Read Only Memory). Une autre caractéristique de ce circuit permet à une partie de la mémoire de « données » externe d'être configurée comme une mémoire de « données » globale (c'est-à-dire une mémoire devant être partagée entre plusieurs processeurs).

2. Unité arithmétique et logique

L'unité arithmétique et logique (ALU) de ce processeur réalise les opérations arithmétiques signées et non signées sur des mots de 16 bits avec un résultat sur 32 bits mémorisé dans l'accumulateur.

Un multiplicateur 16×16 bits peut réaliser un produit sur 32 bits à chaque cycle. Est également présent, un registre permettant le décalage à gauche des opérandes avant qu'ils ne rentrent dans l'ALU. L'ALU possède deux entrées, l'une étant la sortie de l'accumulateur, tandis que l'autre vient soit du registre « produit » du multiplicateur soit de la sortie du registre à décalage. Un registre à décalage à la sortie du registre « produit » permet l'alignement à gauche des produits fractionnaires aussi bien que le décalage à droite des produits avant qu'ils n'entrent dans l'ALU. Des décalages à droite et à gauche dans l'accumulateur sont aussi possibles.

Les instructions de multiplication/addition en un seul cycle permettent un calcul aise des convolutions et autres sommes de produits. Ces instructions utilisent pleinement la bande passante du multiplicateur par le passage de deux opérandes à la fois à chaque cycle. Ceci s'effectue par l'utilisation d'un registre auxiliaire pour adresser l'un des opérandes et par l'utilisation du compteur programme pour adresser l'autre. Les deux bus intégrés acheminent ensuite les opérandes vers les entrées du multiplicateur en même temps que le produit précédent est additionné à l'accumulateur en exécution de l'opération d'addition.

Plusieurs autres instructions: arithmétiques, de contrôle, générales ont aussi été incorporées sur le circuit.

Des instructions ont été prévues afin de calculer la valeur absolue, le complément à un et à deux, aussi bien que la représentation normalisée d'un nombre de 32 bits contenu dans l'accumulation. La division est assurée par la présence d'une instruction de soustraction conditionnelle. Certaines instructions effectuent des opérations de test au niveau du bit sur des mots de la mémoire, d'autres effectuent des opérations arithmétiques et logiques directement sur 16 bits.

Le jeu d'instructions du processeur est orienté de manière à fournir un maximum de flexibilité et d'efficacité au système. Les instructions de répétition permettent de répéter la seule instruction suivante jusqu'à un maximum de 256 fois. L'utilisation de cette possibilité de répétition avec certaines des instructions précédemment mentionnées telles que les transferts par bloc, multiplication/somme ou normalisation peut conduire à une suite de codes très compacte, là ou autrement il aurait fallu un long programme linéaire ou des branchements conditionnels consommateurs de temps.

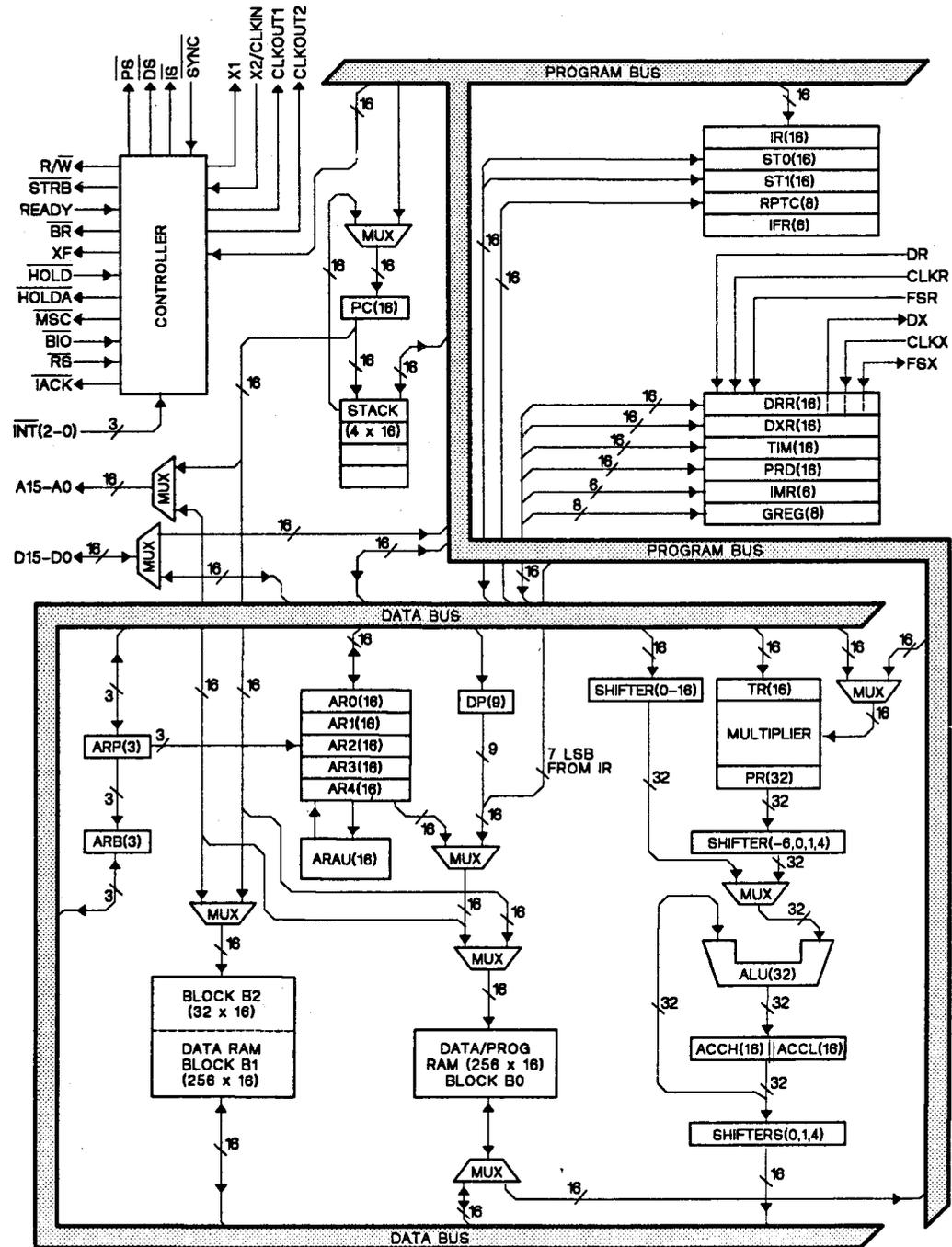
3. Caractéristiques multiprocesseur et interface E/S

Un interface multiprocesseur versatile a aussi été incorporé sur le circuit, ce qui permet de le configurer, soit comme un processeur unique, soit comme un processeur périphérique d'un processeur central ou soit comme l'un des processeurs d'un réseau de processeurs.

Ces caractéristiques de fonctionnement en multiprocesseur incluent la possibilité de définir une zone de la mémoire externe du processeur comme mémoire globale avec un signal séparé de « demande du bus » pour permettre au processeur de demander l'accès à cette zone mémoire. Le contenu d'un registre intégré détermine la taille de cette mémoire globale laquelle peut être comprise entre 256 et 32 K mots.

Le signal de « demande du bus » externe est activé à chaque fois que l'adresse mémoire actuelle correspond à une adresse de la mémoire globale. Des configurations de plusieurs processeur spécialisés synchronisés peuvent être réalisées par l'utilisation d'une entrée de synchronisation, qui permet à deux ou plusieurs processeurs de travailler au même rythme, lorsqu'il sont commandés par les mêmes horloges.

L'accès direct mémoire (DMA) a aussi été prévu afin de permettre à un autre processeur de prendre le contrôle de ses bus externes. Quand l'entrée « HOLD- » est activée au niveau bas, le processeur termine l'exécution de l'instruction en cours puis commute ses bus externes trois états en haute impédance ainsi que tous les signaux de contrôle. L'exécution du programme est arrêtée jusqu'à ce que l'entrée « HOLD- » soit désactivée, à la suite de quoi le processeur continue le programme à partir de son point d'interruption.



NOTE:

ACCH= Accumulator high	DRR = Serial port data receive register	PR = P register
ACCL= Accumulator low	DXR = Serial port data transmit register	PRD = Period register for timer
ARAU= Auxiliary register arithmetic unit	GREG= Global memory allocation register	TR = T register
ARB = Auxiliary register pointer buffer	IFR = Interrupt flag register	TIM = Timer
ARP = Auxiliary register pointer	IMR = Interrupt mask register	ST0,ST1 = Status registers
DP = Data memory page pointer	IR = Instruction register	RPTC = Repeat instruction counter

Fig. 1. - Bloc diagramme du TMS 32020.

APPLICATIONS

Un « port » série intégré permet une communication directe vers des COFIDEC (Codeur-Filtre-Décodeur) ou autres circuits série. Le « port » série a deux registres intégrés qui lui sont associés et qui peuvent être configurés pour recevoir ou transmettre des mots de 8 ou 16 bits. Des interruptions internes sont produites chaque fois qu'un des deux registres du « port » série a besoin d'être utilisé.

L'impulsion de synchronisation pour la partie transmission du « port » série peut aussi être configurée comme une entrée ou une sortie, permettant ainsi une meilleure communication entre processeurs, dans des configurations multiprocesseur utilisant le « port » série.

Une autre particularité intégrée sur le circuit est le compteur câble qui peut être utilisée pour émettre des interruptions à intervalle précis. Un registre de période séparé est utilisé pour recharger le compteur automatiquement après décrémentation jusqu'à zéro. Celle-ci peut être utilisée chaque fois que des interruptions périodiques sont nécessaires, comme par exemple l'activation de convertisseurs AN et NA à une fréquence d'échantillonnage donnée.

Ce circuit incorpore aussi des broches d'entrée sortie d'utilisation plus générale. L'entrée « B10- » est testable par une instruction de branchement logique et est utile pour tester l'état de circuits externes quand il est important de ne pas perturber des sections de programme critiques en temps d'exécution. Une sortie d'utilisation générale est aussi associée à des instructions qui lui permettent d'être positionnée et remise à zéro par le logiciel.

4. Télécommunication, instrumentation : deux applications phares

Plusieurs des spécifications du processeur de signal digital décrit ici conduisent elles-mêmes directement à des applications de DSP en temps réel et autres calculs intensifs. Les applications dans le domaine des Télécommunications bénéficient des capacités arithmétiques puissantes du circuit, comme les instructions de multiplications/addition en un seul cycle, aussi bien que de la grande mémoire RAM intégrée et de l'interface direct « COFIDEC ». L'important espace programme permet au processeur d'effectuer plusieurs programmes différents comme c'est le cas dans les autocommutateurs privés digitaux, c'est-à-dire avec annulation d'écho, vocoder, modem 2400 BPS, détection de tonalité etc. Les analyseurs de spectre, nécessitent souvent les hautes performances d'un processeur de signal digital qui soit capable d'effectuer de très longues transformées de Fourier rapides avec un minimum de câblage externe. Dans celles-ci et dans d'autres applications la capacité à dialoguer avec un processeur « maître » est souvent aussi important. La flexibilité de l'interface multiprocesseur du circuit lui permet d'être utilisé dans une variété de configurations « maître/esclave » ou co-processeur. Les applications graphiques peuvent utiliser la grande capacité de mémoire externe directement adressable ainsi que les possibilités de mémoire globale, de manière à ce

que des images graphiques en mémoire, puissent être partagées avec un processeur « maître », minimisant ainsi les transferts de « données ». Les modes d'adressage indirect, indexes permettent de balayer les matrices ligne par ligne, lors des multiplications de matrices pour les rotations d'images. Les applications de contrôle à haute vitesse sont facilitées par des caractéristiques d'utilisation plus générale telles que les opérations de test de bit, les opérations logiques, le compteur câble et la grande vitesse de transfert des « données » (cinq millions de mots de 16 bits par seconde).

A ce jour ce processeur a démontré des performances séduisantes dans beaucoup de domaines comme par exemple :

- Un calcul élémentaire de filtrage transversal (FIR) (Finite Impulse Response): 200 ns.
- Fréquence d'échantillonnage d'un filtre non récursif du 256^e ordre: 18.5 kHz.
- Transformée de Fourier rapide 256 points en radix-4 (codes en ligne): 3.08 ms.
- Transformée de Fourier rapide 256 points en radix-2 (bouclée): 6.88 ms.

Ce processeur sera introduit avec un temps de cycle de 200 ns et des versions plus rapide seront envisagées ultérieurement.

Avec l'introduction d'un tel processeur de signal digital, disponible commercialement, des applications sophistiquées de DSP en temps réel hier impossibles, pourront maintenant être envisagées.

5. Matériels et logiciels de développement

Les outils de développement qui supporteront ce circuit sont ou bien l'XDS22 (TMDS3262221) ou bien l'XDS11 (TMDS3261120), associé aux différents logiciels assembleurs croisés et simulateurs disponibles sur les principaux systèmes informatiques du marché, y compris VAX, TI-PC, IBM-PC. Ces logiciels étant compatibles avec ceux utilisés pour le développement du TMS32010 en production depuis 1983.

Manuscrit reçu le 22 mars 1985.

TABLEAU

Spécification du TMS32020

- 64 K mots de mémoire de « données », 64 K mots de mémoire de programme.
- Mémoire RAM de « données »/programme de 544 × 16 bits.
- Temps de cycle 200 ns.
- Opération de multiplication/addition en un seul cycle.
- Unité arithmétique et logique (ALU) de 32 bits avec plusieurs options de décalage.
- Cinq registres d'adresse associés à une unité arithmétique spécialisée.
- Registres de comptage câblés.
- Interface multiprocesseur avec possibilité de synchronisation de l'horloge.
- « Port » série 8/16 bits.
- Interface parallèle 16 bits pour « données », programme et accès aux entrées/sorties avec l'option « état d'attente ».
- Opérations arithmétiques en virgule flottante.
- Boîtier 68 broches PGA (« Pin Grid Array »).
- Alimentation 5 V.