

Traitement en temps réel de signaux hautes fréquences pour la détection de menaces radiologiques

FLORENT HINFRAY¹², MICHEL PAINDAVOINE¹, MICHEL DOUSSOT¹², MATHIEU THEVENIN³, ROBERT M. FRENCH¹

¹ Laboratoire LEAD Université de Bourgogne CNRS UMR-5022

11 Esplanade Erasme, 21000 Dijon, France

² Université de Technologie de Troyes

12 rue Marie Curie - CS 42060, 10004 Troyes, Cedex - France

³ Centre de recherche CEA Saclay

91191 Gif-sur-Yvette cedex

¹²florent.hinfray@utt.fr, ¹²michel.doussot@utt.fr

¹michel.paindavoine@u-bourgogne.fr, ¹robert.french@u-bourgogne.fr,

³mathieu.thevenin@cea.fr,

Résumé – Cet article présente un système de traitement de signaux impulsions à hautes fréquences sur FPGA développé dans le cadre du projet ANR-NANTISTA. Ce projet a pour objectif de déterminer un système alternatif de détection de matière fissile pour la sécurité des territoires. Il fonctionne à une fréquence de 500MHz et permet de calculer des intégrales nécessaires à ce type de détection. Il lit en entrée un flux d'impulsions codé sur 16-bits, détecte des impulsions types et en extrait des valeurs d'intégration écrites en sortie sur 24-bits.

Abstract – This paper introduces a system for processing high-frequency pulse signals on FPGA developed as part of the ANR-NANTISTA project. The objective of this project is to determine an alternative system for detecting fissile material for territorial security. It operates at a frequency of 500MHz and calculate the integrals necessary for this type of detection. It reads a 16-bit encoded pulse stream at the input, detects typical pulses and extracts integration values written at the 24-bit output.

1 Introduction

1.1 Le projet ANR-NANTISTA

Le projet ANR-NANTISTA est un partenariat entre l'unité mixte de recherche LEAD, le CEA et l'entreprise SAPHYMO. Il vise à développer une plateforme de détection de menaces radiologiques capable d'identifier des radionucléides et de discriminer les signaux neutroniques et gamma en temps réel. L'ambition de ce projet est de rendre possible, à faible coût et à grande échelle, le déploiement de systèmes de détection de menaces radiologiques par les Etats. L'enjeu est de juguler les trafics illégaux de matières radioactives par des groupes mafieux ou terroristes constituant une menace pour les populations. Le projet s'articule autour de deux grands thèmes de recherche. D'abord, l'identification rapide de radionucléides avec une base de réseaux de neurones artificiels impulsions apportant une alternative à la spectroscopie traditionnelle. Puis, la discrimination de rayons neutroniques et gamma détectés par des scintillateurs plastiques ou des scintillateurs liquides. L'étude présentée dans cet article s'inscrit dans ce deuxième thème.

1.2 La plateforme de traitement

La carte électronique qui constitue la plateforme de traitement permet l'acquisition de signaux analogiques provenant d'un scintillateur plastique ou liquide et effectue les traitements nécessaires à la détection de

matière fissile. Cette carte est composée d'un FPGA Xilinx Kintex-7 pour le traitement, d'un ADC pour l'acquisition du flux, d'un DAC pour des tests en circuit fermé, d'un générateur d'horloge et des interfaces d'entrée et de sortie choisis pour permettre un traitement à 500MHz.

1.3 La méthode de différence d'histogramme (HDM)

La méthode HDM [1] estime par comparaison avec des impulsions gamma types la proportion de rayons neutroniques émis par une source. Les impulsions doivent être prétraitées, normalisées, et alignées en leur maximum pour être identifiées par une valeur réelle (notée D) ou par deux valeurs réelles extraites par intégration (notées Q_{total} et Q_{tail}). Une quantité suffisante d'impulsion rend possible l'élaboration de trois ensembles respectivement de valeurs D , Q_{total} et Q_{tail} chacun représenté par un histogramme. En utilisant une source émettant uniquement des rayons gamma nous obtenons des histogrammes types de valeurs D , Q_{total} et Q_{tail} . Par comparaison entre ces histogrammes types et ceux générés à partir d'une source quelconque, il est possible par différence de déterminer une proportion de rayons neutroniques émis par la source.

1.4 Les valeurs Q_{total} et Q_{tail}

Les impulsions provenant d'une source émettant uniquement des rayons gamma sont pratiquement

identiques à celles émises par une source émettant à la fois des rayons gamma et des rayons neutroniques. On observe cependant une différence proportionnelle à la quantité de rayons neutroniques émis au niveau de la décroissance de ces impulsions (Figure 1).

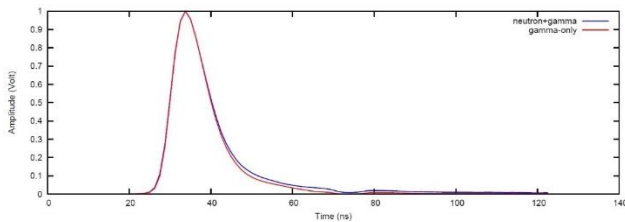


Figure 1 : moyenne de 250 impulsions superposées après acquisition

Les bornes d'intégration des valeurs Q sont définies en fonction du système d'acquisition choisi en entrée étant donné que la largeur des impulsions est modifiée en fonction du modèle.

2 Etat de l'art sur l'acquisition et le traitement de signaux radionucléaires sur FPGA

Les récentes publications dans le domaine de l'acquisition et le traitement de signaux sur FPGA se focalisent principalement sur des designs cadencés à des fréquences inférieures à 300MHz. Les modèles actuels sont davantage développés pour des systèmes de détection en temps réel adaptés à des fréquences de l'ordre de 100MHz [4] [5] [6]. Il existe également d'autres modèles effectuant des traitements en temps réel à plus hautes fréquences [3]. Les traitements appliqués sur ces systèmes contraignent cependant la fréquence d'acquisition qui reste inférieure à 300MHz. Une publication récente [2] décrit un système temps réel sur FPGA pour des signaux à 500MHz. Cependant, cet article ne décrit pas l'architecture déployée au sein du FPGA ainsi que les ressources utilisées.

3 Architecture de traitement

Cette chaîne de traitement décrite en Figure 2 se place sur le FPGA de la carte électronique. L'objectif est de détecter une impulsion dans un flux bruité, d'extraire son maximum, de générer les fenêtres d'intégration choisies et de procéder au calcul des valeurs Q_{total} et Q_{tail} . Cette chaîne est composée de six blocs distincts procédant chacun à une étape de traitement.



Figure 2 : schéma synoptique de l'architecture de traitement

3.1 E : signal provenant du scintillateur

Le flux contenant les impulsions provient directement du scintillateur liquide. Le signal est converti en

numérique par l'intermédiaire de l'ADC puis envoyé au FPGA.

3.2 B1 : dérivateur

Le calcul de la dérivée du flux d'impulsions est nécessaire afin de pouvoir détecter une impulsion indépendamment de son intensité. Il s'agit d'une dérivée par différence dont la forme type est représentée en Figure 3.

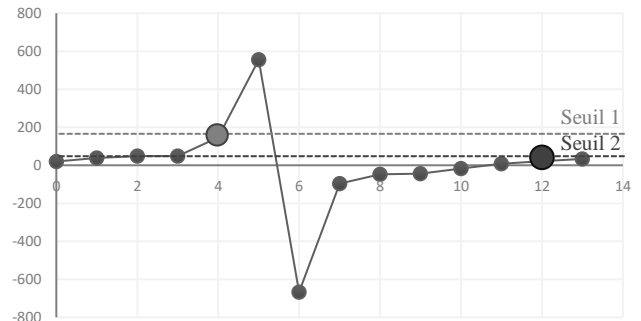


Figure 3 : dérivée d'une impulsion

3.3 B2 : détecteur à impulsion

Cette architecture détecte les impulsions contenues dans le flux en entrée. La détection est réalisée par l'intermédiaire de deux seuils distincts. Dans un premier temps, si la valeur de la dérivée est suffisamment élevée, un déclenchement s'opère caractérisant l'ouverture de la fenêtre de détection contenant l'impulsion. Dans un second temps, un second seuil faiblement positif traduit une nouvelle croissance du signal d'entrée caractéristique d'un bruit de fond ou d'une superposition d'impulsions par exemple. Ce second seuil est un maximum et la fermeture de la fenêtre de détection se réalise lorsque la dérivée est contenue entre 0 et la valeur de ce seuil.

3.4 B3 : générateur des fenêtres d'intégration

Cette partie du design génère les fenêtres nécessaires aux intégrales dès détection d'un maximum par changement de signe de la dérivée. Ces fenêtres sont d'une durée précise. Elles correspondent aux zones au niveau desquelles les différences entre les impulsions gamma et les impulsions neutron+gamma sont les plus importantes. Les fenêtres générées sont néanmoins régies par la fenêtre de détection. Si cette dernière se ferme avant la fin de la génération alors la génération s'arrête et une fenêtre incomplète est générée.

3.5 B4 : détecteur d'anomalie

Pour garantir la conformité des fenêtres d'intégration générées précédemment, ce détecteur vérifie leur durée. Si une fenêtre d'intégration n'est pas de la durée attendue alors les données obtenues ne seront pas exploitables : les deux fenêtres d'intégration doivent être filtrées et un signal d'activation est généré en sortie.

3.6 B5 : filtre à anomalie

Cette partie du design annule les deux fenêtres d'intégration si un signal d'activation généré en B4 est détecté.

3.7 B6 : intégrateur

L'intégrateur détermine une valeur maximale de l'impulsion et calcule les deux intégrales recherchées. Pour que les intégrales puissent être exploitables une normalisation par le maximum est nécessaire pour s'affranchir des intensités. La valeur maximale est reportée en sortie pour optimiser les temps de traitement et effectuer la normalisation en aval. Cette extraction est effectuée en fin de chaîne de traitement pour des raisons de placement sur FPGA. Les deux intégrales sont calculées indépendamment l'une de l'autre par méthode des rectangles pour obtenir un calcul efficace à 500MHz. L'utilisation d'une méthode telle que la méthode de Simpson aurait nécessité l'utilisation d'opérateurs de multiplication et de division ; opérateurs qui augmenteraient sensiblement les temps de calculs et engendreraient des problèmes d'encombrement dans certains cas.

3.8 S : post-traitement

Les résultats des intégrales et leur valeur maximale d'impulsion associée seront lus et sauvegardés. La génération de la base de données permettra après traitement de réaliser la distinction par HDM et de conclure quant à la proportion de rayons neutroniques émis par la source testée.

4 Implémentation sur FPGA

4.1 Vue d'ensemble

Le signal provenant de l'ADC est codé sur 14-bits et est encapsulé sur 16-bits en début de chaîne de traitement. Par la suite, les signaux sont codés sur 16-bits pour le signal traité, sa dérivée et le maximum sur 1-bit pour les signaux de contrôles tels que les fenêtres de détection ou d'intégration et enfin sur 24-bits pour les résultats des intégrales. Deux compteurs 8-bits sont utilisés respectivement pour la création des fenêtres d'intégration et leur vérification. Des registres à décalages ont été placés au niveau de chacun des blocs pour compenser le retard impliqué par le traitement local. La chaîne de traitement est opérationnelle à 500MHz (période 2ns) pour un flux continu de données lu en entrée. Cependant la parallélisation des calculs pour la dérivée et les intégrales nécessite l'utilisation d'horloges à une fréquence de 83MHz (période 12ns) chacune avec des phases différentes.

4.2 B1 : dérivateur

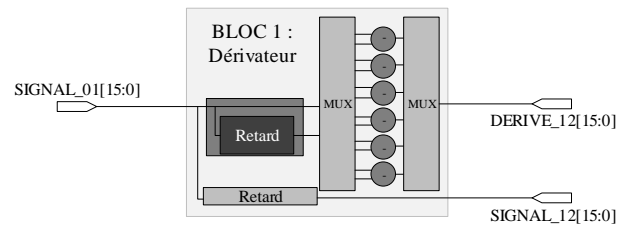


Figure 4 : schéma synoptique du dérivateur

Pour garantir un calcul stable à 500MHz, les soustractions ont été parallélisées sur six voies de fréquence 83MHz. Décrite en Figure 4, cette répartition fournit à chacun des blocs soustracteurs (bloc « - ») le temps nécessaire pour effectuer leur calcul. La parallélisation permet ici de garder un traitement du flux en continu. La valeur soustraite est une valeur antérieure de trois cycles d'horloge pour éviter une détection ultérieure causée par le bruit. Un sous-bloc placé avant les opérateurs permet cette parallélisation du signal actuel et de son double retardé. Un premier multiplexeur se charge ensuite de distribuer successivement aux opérateurs les valeurs puis un second multiplexeur se charge de reconstituer les résultats en un signal continu : on obtient en sortie le signal originel et sa dérivée synchronisés.

4.3 B2 et B3 : détecteur à impulsion et générateur de fenêtre d'intégration

Le générateur observe le signe de la dérivée si le signal de détection est à 1. Si elle devient négative alors un compteur 8-bits est lancé jusqu'à ce qu'il atteigne la borne supérieure la plus élevée des deux intégrales. La borne inférieure des intégrales que l'on souhaite calculer correspond au maximum de l'impulsion détectée. A l'aide des valeurs générées par ce compteur il devient alors aisé de définir les fenêtres souhaitées pour les intégrales. Pour le moment ces fenêtres sont de durée fixe.

4.4 B4 et B5 : détecteur et filtre à anomalie

Pour vérifier la durée de la fenêtre d'intégration la plus longue, un compteur 8-bits compte jusqu'à la borne supérieure théorique voulue. Si la fenêtre se place à 0 avant atteinte de la valeur attendue, un bit d'anomalie est placé à 1 en sortie. Si tel est le cas alors les fenêtres d'intégration sont placées à 0 en sortie du bloc 5. Dans le cas contraire les signaux des fenêtres d'intégration traversent cette partie sans modification. Le flux initial traverse le bloc.

4.5 B6 : intégrateur

La première partie de ce bloc 6, décrite en Figure 5, se charge de détecter un changement d'état de 0 à 1 au niveau d'une fenêtre d'intégration. Lorsque cela se produit, la valeur du flux actuelle est reportée en sortie : c'est la valeur maximale de l'impulsion. La seconde procède à l'intégration du flux dans les fenêtres correspondantes. De la même manière que le bloc dérivateur (B1), les sommes ont été réparties sur six

voies de fréquence 83MHz afin de fournir le temps nécessaire aux additionneurs (bloc « + ») d'accumuler les nouvelles valeurs dans un registre. Un sémaphore sur 1-bit autorise l'accès en lecture ou écriture à ce registre. A la suite de ces six voies une architecture se charge de regrouper l'ensemble et leur mode d'accès. Si les six voies sont en mode lecture alors elles sont additionnées et le résultat est écrit en sortie sur 24-bits.

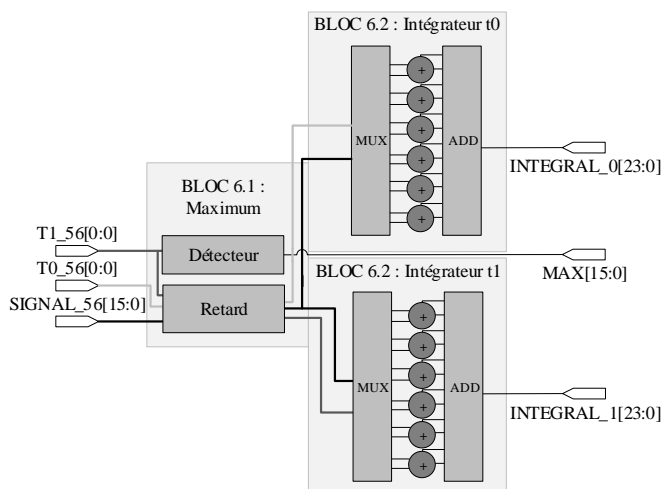


Figure 5 : schéma synoptique de l'intégrateur

4.6 Utilisation des ressources

Tab 2 : Quantité de LookUp Table et de Flip-flop utilisées sur le FPGA

	Reset	B1	B2	B3	B4	B5	B6
LUT	0	143	2	12	12	2	534
FF	16	339	2	19	15	18	577

	Registres à décalage inter-blocs	Total utilisé	Total FPGA	Utilisation
LU		122	827	0,81%
T				
FF		36	1022	0,50%

Comme indiqué en Tab 2, ce système utilise globalement peu de ressources du FPGA. On constate que les parties les plus consommatrices se situent au niveau du bloc 1 dérivateur et du bloc 6 intégrateur.

5 Conclusion et Perspectives futures

Nous avons montré dans cet article qu'il est possible de traiter au sein d'un FPGA des signaux radionucléaires à une fréquence de 500MHz et ceci avec un nombre réduit de ressources matérielles. La chaîne

de traitement fonctionne avec des paramètres pour le moment fixes propres au scintillateur de test : scintillateur liquide BC501A. A l'avenir il devrait être possible de modifier à notre aise les différents paramètres de détection afin de s'adapter à d'autres types de scintillateurs. Enfin, du fait du nombre réduit de ressources matérielles nécessaires, il est tout à fait

envisageable d'implémenter la chaîne complète de traitement sur un FPGA du type Xilinx Artix-7.

6 Bibliographie

[1] French, R. M., Thevenin, M., Hamel, M., & Montbarbon, E. (2017). A Histogram-Difference Method for Neutron/Gamma Discrimination Using Liquid and Plastic Scintillators. *IEEE Transactions on Nuclear Science*, 64(8), 2423-2432.

[2] Zhu, X., Feng, C., Li, Q., Shen, Z., Liu, S., & An, Q. (2018). FPGA-Based Real-Time $n\gamma$ Discrimination With Liquid Scintillator. *IEEE Transactions on Nuclear Science*, 65(12), 2877-2882.

[3] Schiffer, R. T., Flaska, M., Pozzi, S. A., Carney, S., & Wentzloff, D. D. (2011). A scalable FPGA-based digitizing platform for radiation data acquisition. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 652(1), 491-493.

[4] Lee, P. S., Lee, C. S., & Lee, J. H. (2013). Development of FPGA-based digital signal processing system for radiation spectroscopy. *Radiation Measurements*, 48, 12-17.

[5] Farsoni, A. T., Alemayehu, B., Alhawsawi, A., & Becker, E. M. (2013). Real-time pulse-shape discrimination and beta-gamma coincidence detection in field-programmable gate array. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 712, 75-82.

[6] Esmaeili-sani, V., Moussavi-zarandi, A., Akbar-ashrafi, N., Boghrati, B., & Afarideh, H. (2012). Neutron-gamma discrimination based on bipolar trapezoidal pulse shaping using FPGAs in NE213. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 694, 113-118.