

# Capteur d'image intelligent avec correction adaptative de la luminosité

Auguste NGOUA<sup>1</sup>, Michel PAINDAVOINE<sup>2</sup>, Olivier BROUSSE<sup>2</sup>, Cédric CLERC<sup>1</sup>

<sup>1</sup>LE2I UMR CNRS 5158 Univ. Bourgogne  
Allée Alain Savary, BP 47870, 21078 Dijon, France

<sup>2</sup>LEAD UMR CNRS 5022 Univ. Bourgogne  
Pôle AAFE, Esplanade Erasme, BP 26513, 21065 Dijon Cedex, France

Auguste.Nboua@u-bourgogne.fr, michel.paindavoine@u-bourgogne.fr, olivier.brousse@u-bourgogne.fr,  
cedric.clerc@u-bourgogne.fr

**Résumé** – De nos jours, les capteurs d'images intelligents nécessitent l'intégration dans le plan focal (ou près du plan focal) d'algorithmes complexes de traitement d'images. De tels dispositifs doivent respecter des contraintes liées à la qualité des images acquises, à la rapidité et à la performance des traitements embarqués, ainsi qu'à la faible consommation électrique. Pour atteindre ces objectifs, des pré-traitements analogiques sont d'un apport primordial pour, d'une part, améliorer la qualité des images rendant celles-ci exploitables quelque soient les conditions de luminosité, et d'autre part, détecter des régions d'intérêt (ROIs) afin de limiter la quantité de pixels à transmettre vers un processeur numérique réalisant les traitements de haut-niveau comme par exemple l'extraction de caractéristiques pour la reconnaissance de formes. Afin de démontrer qu'il est possible d'implanter des pré-traitements analogiques dans le plan focal, nous avons conçu et réalisé, en technologie CMOS 130nm, un circuit de test intégrant des groupes de 4, 16 et 144 pixels, chaque groupe intégrant des calculs de moyennes analogiques.

**Abstract** – Today, intelligent image sensors require the integration in the focal plane (or near the focal plane) of complex algorithms for image processing. Such devices must meet the constraints related to the quality of acquired images, speed and performance of embedded processing, as well as low power consumption. To achieve these objectives, analog pre-processing are essential, on the one hand, to improve the quality of the images making them usable whatever the light conditions, and secondly, to detect regions of interest (ROIs) to limit the amount of pixels to be transmitted to a digital processor performing the high-level processing such as feature extraction for pattern recognition. To show that it is possible to implement analog pre-processing in the focal plane, we have designed and implemented in 130nm CMOS technology, a test circuit with groups of 4, 16 and 144 pixels, each incorporating analog average calculations.

## 1 Introduction

Les besoins de plus en plus croissants en capteurs d'images intelligents nécessitent l'intégration dans le plan focal (ou près du plan focal) d'algorithmes complexes de traitement d'images. De tels dispositifs doivent respecter des contraintes liées à la qualité des images acquises, à la rapidité et à la performance des traitements embarqués, ainsi qu'à la faible consommation électrique. Pour atteindre ces objectifs, des pré-traitements analogiques sont d'un apport primordial pour, d'une part, améliorer la qualité des images rendant celles-ci exploitables quelque soient les conditions de luminosité, et d'autre part, détecter des régions d'intérêt (ROIs) afin de limiter la quantité de pixels à transmettre vers un processeur numérique réalisant les traitements de haut-niveau comme par exemple l'extraction de caractéristiques pour la reconnaissance de formes. Dans ce contexte, notre objectif a été de concevoir un prototype de capteur d'images intelligent, intégré en techno-

logie CMOS 130nm, et permettant de réaliser une triple fonction analogique : acquisition d'images en mode multi-exposition, détection de blocs d'images présentant une luminosité moyenne constante et génération d'images de haute dynamique. Dans cet article, nous présentons l'architecture du capteur proposé, puis nous décrivons l'étude réalisée et les résultats obtenus pour l'intégration en technologie CMOS 130nm du calcul de la moyenne par blocs de pixels.

## 2 Architecture du capteur d'images intelligent proposé

Pour augmenter la dynamique des capteurs d'images, deux approches classiques sont proposées. La première, basée sur une réponse logarithmique du capteur, consiste à faire fonctionner les pixels en mode photovoltaïque. Cette approche permet d'obtenir des images avec des dynamiques

élevées (supérieures à 120dB) mais avec un bruit spatial fixe important qu'il est nécessaire de corriger [1, 2]. La deuxième approche, consiste à faire fonctionner le capteur en mode intégration ce qui permet d'obtenir une réponse linéaire à l'illumination. Dans ce cas, pour augmenter la dynamique du capteur, il est nécessaire de le faire fonctionner en mode multi-exposition et de prévoir un dispositif permettant de gérer ce mode d'une manière efficace [3]. Dans le contexte des capteurs d'images intelligents, la deuxième solution est plus adaptée car le pré-traitement permettant de contrôler les temps d'exposition par régions de pixels (ROIs) peut aussi être utilisé pour transmettre des informations utiles sur le contenu de l'image au processeur numérique chargé des traitements haut-niveau. Le principe de notre capteur qui s'inscrit dans cette deuxième approche, est basé sur l'acquisition d'images en mode multi-exposition dans la gamme 0,1ms à 20ms et ceci par pas de 0,1ms (200 expositions sont possibles pour une même image). Le choix du temps d'exposition pour un bloc de  $k \times k$  pixels (avec  $k=4$  à  $32$ ) est obtenu en temps réel en mesurant la luminosité moyenne dans chaque bloc considéré. En fonction des luminosités moyennes mesurées localement, les blocs voisins sont regroupés ou non. Ceci permet de créer une carte de ROIs conduisant ainsi à réaliser une correction adaptative de la luminosité dans des blocs de taille variable. Nous avons validé l'architecture de notre capteur en simulant l'acquisition d'une image en mode multi-exposition à partir d'une collection d'images fixes acquises avec 200 temps de pose différents. La figure 1 représente deux images acquises avec des temps pose différents. Comme indiqué sur la figure 2,

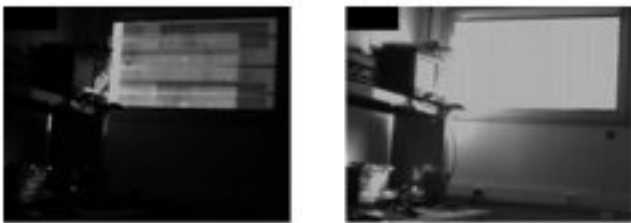


FIGURE 1 – Principe de l'acquisition d'image en mode multi-exposition. A gauche : image avec un temps de pose de 1ms, à droite : image avec un temps de pose de 10ms

la carte de ROIs permet ainsi d'une part, de contrôler localement les temps d'exposition, et d'autre part, de renseigner le processeur numérique sur le contenu global de l'image.

Afin d'étudier l'intégration de cette architecture, nous avons tout d'abord étudié et réalisé en technologie CMOS 130nm, le calcul analogique de la moyenne par blocs de pixels que nous présentons dans la section suivante.

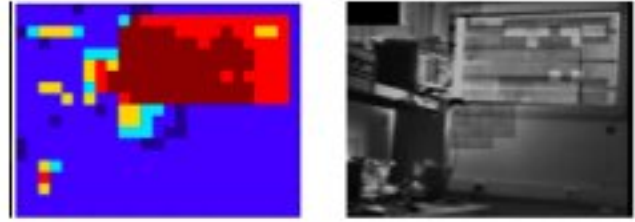


FIGURE 2 – Principe de la reconstruction d'image HDR. A gauche : carte de ROIs obtenue, A droite : image HDR générée

### 3 Etude réalisée pour le calcul analogique de la moyenne par blocs de pixels

#### 3.1 Photodiode

La structure de la photodiode est celle qui est utilisée dans la plupart des imageurs, i.e. une photodiode de type N consistant en une diffusion de type n+ sur un substrat de silicium de type p. Par contre, le choix de la forme a été considéré afin d'optimiser la densité d'intégration et la sensibilité du capteur. Comme cela a été démontré dans [4], notre choix s'est ainsi porté sur une photodiode octogonale basée sur des géométries à 45 degrés.

#### 3.2 Méthodes de calcul analogique de la moyenne de luminances de groupes de pixels

Plusieurs méthodes de calculs analogiques de la moyenne sont envisageables : moyenne de courants, moyenne de tensions et moyenne par partage de charges. Seule la moyenne par partage de charges avec des transistors fonctionnant en mode « interrupteurs » a été retenue car elle ne modifie pas la structure des pixels et n'ajoute qu'un transistor par pixel ce qui est très intéressant en terme de facteur de remplissage. En plus, dans ce cas, les interrupteurs sont câblés en sortie des suiveurs connectés aux photodiodes ce qui évite de perturber leur bon fonctionnement. L'architecture globale du pixel est donc la structure classique 3T à laquelle on ajoute un transistor qui permet la mise en œuvre de la moyenne.

### 4 Circuit de test

La détermination des caractéristiques de la photodiode, du pixel et du comportement de celui-ci en ce qui concerne la moyenne des pixels nous a conduit à concevoir un circuit de test en technologie CMOS 130nm. La figure 4 représente le schéma de principe du calcul de la moyenne

pour un groupe de 2x2 pixels.

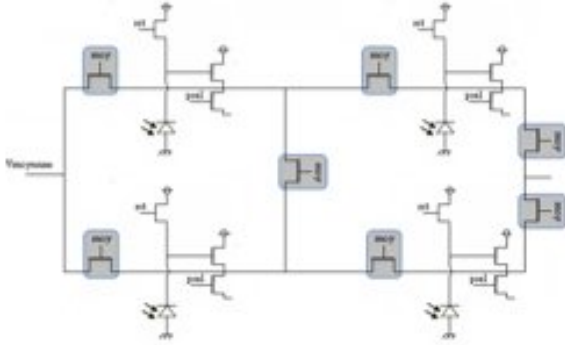


FIGURE 3 – Schéma du calcul de la moyenne pour un groupe de 2x2 pixels

Le layout du circuit réalisé et qui est décrit en figure ?? est composé de deux groupes de 4, 16 et 144 pixels, chaque groupe utilisant respectivement une photodiode de  $5\mu\text{m}$  et de  $10\mu\text{m}$  de largeur.

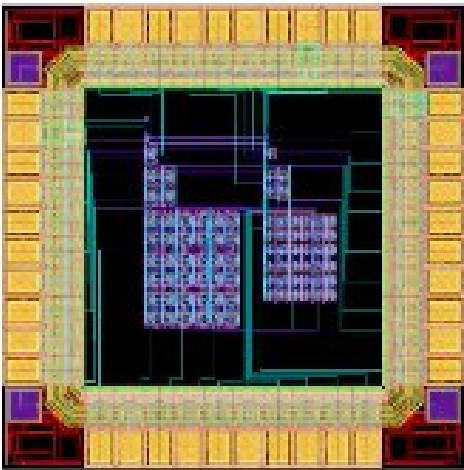


FIGURE 4 – Layout du capteur réalisé en technologie CMOS 130nm

## 5 Résultats obtenus

Le circuit conçu, puis fabriqué, nous a permis d'observer la tension de sortie d'un et de quatre pixels ainsi que la les moyennes de 4, 16 et 144 pixels. Plusieurs mesures ont été effectuées afin de répondre aux attentes fixées. Nous avons pu ainsi comparer les performances en fonction de la taille des photodiodes et vérifier si les calculs de moyennes étaient cohérents par rapport à l'information lumineuse reçue. Nous présentons un extrait de ces résultats en 5 et

6. Dans la figure 5, nous comparons la sensibilité des photodiodes de  $5\mu\text{m}$  (courbe supérieure) et de  $10\mu\text{m}$  (courbe inférieure).

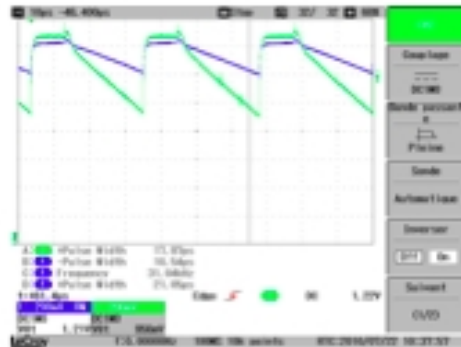


FIGURE 5 – Réponse des photodiodes

Compte tenu des sensibilités obtenues, ceci nous conduit à retenir pour la suite du projet des photodiodes de  $10\mu\text{m}$  de largeur. La figure 6 décrit la réponse de la moyenne pour des groupes de 4 pixels choisis dans deux zones d'images différentes : une zone fortement éclairée et une autre faiblement éclairée. Ceci nous permet donc de valider notre méthode de calcul de moyenne.

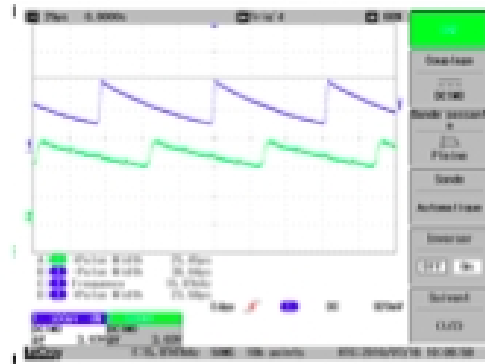


FIGURE 6 – Calcul des moyennes de 4 pixels

Afin d'améliorer les performances du capteur en terme de qualité de détection de blocs mais aussi de pouvoir extraire en temps réel des mesures de variations locales de luminances, nous étudions actuellement l'implantation, sous forme analogique, du calcul de la variance par groupes de pixels. Nous avons pu ainsi démontrer que ce calcul nécessite 12 transistors et 1,25 capacité par pixel ce qui est tout à fait acceptable en terme de complexité dans le contexte des capteurs d'images intelligents. Afin de tester, cette double fonctionnalité – moyenne et variance par groupe de pixels – nous avons conçu, à nouveau en technologie CMOS 130nm, un deuxième circuit de test comportant

80x80 pixels incorporant les calculs de moyennes et de variances locales. Ce circuit est actuellement en cours de fabrication.

## 6 Conclusion

Notre objectif à terme est de réaliser un capteur d'images intelligent en technologie CMOS, accomplissant une triple fonction analogique : acquisition d'images en mode multi-exposition, détection de blocs d'images présentant une luminosité moyenne constante et génération d'images de haute dynamique. Dans cette étude nous avons pu démontrer qu'il est possible d'intégrer avec un surcoût très faible, en termes de complexité et de consommation électrique (un transistor supplémentaire par pixel), le calcul de la moyenne par groupe de pixels et ceci dans le but de détecter en temps réel des blocs d'images et de contrôler le temps d'exposition du capteur. En perspectives, le deuxième circuit va nous permettre de tester la double fonctionnalité « moyenne et variance locales », et de ce fait valider sur des images réalistes notre architecture pour la génération d'images HDR et d'extraction de ROIs .

## Références

- [1] "Icycam – a High Dynamic Range Vision System", CSEM Scientific and Technical report 2008
- [2] Ni, Y., Matou, K. "A CMOS log image sensor with on-chip FPN compensation", 27th European Solid-State Circuits Conference 18-20 September 2001, Villach, Austria
- [3] Labonne, E. "Contributions à la conception de capteurs de vision CMOS à grande dynamique", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, juillet 2007, Grenoble
- [4] Dubois, J., Ginhac, D., Paindavoine, M., & Heyrman, B. (2008). « A 10 000 fps CMOS sensor with massively parallel image processing. » IEEE Journal of Solid-State Circuits, 43(3)

## Remerciements

Les auteurs aimeraient remercier l'ANR qui a financé le projet PACS (ANR-07-ARFU-007-04) ainsi que nos partenaires pour toutes les discussions fructueuses qui ont contribué à l'obtention de ces résultats.