

Etude d'un récepteur itératif dédié à un système de modulation codée à bits entrelacés pour le standard DVB-T2

Meng LI¹, Charbel ABDEL NOUR¹, Christophe JEGO² et Catherine DOUILLARD¹

1 : Institut Télécom; Télécom Bretagne,
CNRS Lab-STICC UMR 3192
Technopôle Brest Iroise, CS 83818 29238 Brest
Université Européenne de Bretagne, France
prenom.nom@telecom-bretagne.eu

2 : IPB, ENSEIRB-MATMECA,
CNRS IMS, UMR 5218
351 Cours de la Libération, 33405 Talence
Université de Bordeaux, France
christophe.jego@ims-bordeaux.fr

Résumé – La conception d'un récepteur itératif alliant une faible complexité, un débit élevé et une latence admissible demeure un défi majeur pour des systèmes de communications numériques. Dans cet article, une exploration architecturale pour des récepteurs itératifs dédiés à un système de modulation codée à bits entrelacés adopté dans la deuxième génération du standard de diffusion numérique terrestre (DVB-T2) est détaillée. Des architectures comprenant des ordonnancements particuliers favorisant la maîtrise de la latence au sein du récepteur et un algorithme de propagation de croyance simplifié pour le décodage de codes LDPC sont proposées. Les simulations démontrent que les gains escomptés peuvent être véritablement obtenus par des architectures matérielles. Dans un second temps, une première implémentation d'un récepteur itératif a été effectuée sur un circuit FPGA. Les résultats expérimentaux ont permis de valider le potentiel de notre architecture de réception itératif comme une solution pratique véritablement pertinente pour le standard DVB-T2.

Abstract – Rotated QAM constellations improve Bit-Interleaved Coded Modulation (BICM) performance over fading channels. Indeed, an increased diversity is obtained by coupling a constellation rotation with interleaving the real and imaginary components of transmitted symbols either in time or frequency domain. Iterative processing at the receiver side can provide additional improvement in performance. In this paper, an efficient shuffled iterative receiver is investigated for the second generation of the terrestrial digital video broadcasting standard DVB-T2. Scheduling an efficient message passing algorithm with low latency between the demapper and the LDPC decoder represents the main contribution. The design and the FPGA prototyping of the resultant shuffled iterative BICM receiver are then described. Architecture complexity and measured performance validate the potential of iterative receiver as a practical and competitive solution for the DVB-T2 standard.

1. Introduction

La diversité spatiale du signal [1, 2] double l'ordre de diversité d'un schéma conventionnel de modulation codée à bits entrelacés (*Bit-Interleaved Coded Modulation, BICM*). Son utilisation améliore donc significativement les performances sur des canaux à évanouissements en particulier par l'association de codes correcteurs d'erreurs à haut rendement et de modulations numériques d'amplitude en quadrature (MAQ). En présence d'évanouissements profonds, ce type de système permet d'éviter des évanouissements simultanés sur les composantes I et Q d'un symbole, ce qui apporte des gains significatifs. C'est la raison pour laquelle ce schéma a été adopté dans la seconde génération du standard de diffusion numérique terrestre (DVB-T2). En outre, la mise en place d'un processus itératif au niveau réception entre le démodulateur et le décodeur de canal améliore encore les performances du système. Ainsi, un système BICM comprenant un code correcteur d'erreurs de type LDPC a été expérimenté pour différents scénarii de transmission numérique terrestre dans [3]. Il a été prouvé qu'un récepteur itératif associé à une diversité spatiale du signal aboutit à un gain supplémentaire de capacité de correction d'erreurs de plus de 1 dB sur certains canaux de transmission. Pour cette raison, l'approche itérative à la réception a également été introduite dans le guide de recommandation pour l'implémentation d'un système conforme au standard DVB-T2 [4] comme solution améliorant les performances du récepteur.

Cependant, la conception d'un récepteur itératif alliant une faible complexité, un débit élevé et une latence admissible demeure un défi majeur. En effet, le principal problème à résoudre est la latence introduite par la boucle itérative au niveau réception. Pour ce faire, une méthode d'échange d'information efficace entre le démodulateur et le décodeur doit être proposée. En outre, les problèmes de complexité matérielle du démodulateur numérique et du décodeur de codes LDPC doivent être parallèlement adressés. Nous avons détaillé dans [5] une architecture d'un démodulateur numérique flexible et compact pour le standard DVB-T2. La maîtrise de la complexité est assurée par une décomposition de l'espace de recherche pour les constellations tournées en différentes régions. Par ailleurs, nous avons proposé dans [6] un décodeur de codes LDPC conçu à partir d'un séquençement par couche verticale et d'un algorithme basé sur la propagation de croyance comprenant une version simplifiée appropriée pour le calcul des nœuds de vérification de parité. L'architecture parallèle proposée permet d'adresser efficacement les contraintes d'accès mémoire résultant de la présence de diagonales multiples dans les sous-matrices composant les matrices de parité des codes LDPC. Le décodeur atteint alors les performances fournies dans le guide de recommandation pour le standard DVB-T2. Dès lors, comme le séquençement vertical par couche permet un traitement de trame par sous-blocs au sein du décodeur, il peut être a priori étendu à l'ensemble démodulation numérique et décodage. Il est désormais possible de

décomposer la trame à traiter en plusieurs sous-trames ayant chacune la taille du niveau de parallélisme introduit au niveau du récepteur itératif. Cette approche favorise la maîtrise de la latence du récepteur itératif par un traitement combiné (*shuffled processing*) au sein du démodulateur numérique et du décodeur, et par conséquent un échange d'information continu entre ces deux éléments du récepteur. Cependant, un travail d'exploration architecturale est primordial pour définir le niveau de parallélisme adéquat et résoudre les conflits d'accès aux données. Nous avons donc expérimenté différentes solutions d'ordonnement des données et d'assignation des ressources en ciblant le standard DVB-T2. Il s'agit de l'étude que nous allons détailler dans la suite de cet article.

2. Description d'une transmission numérique de type BICM

Le schéma d'association d'un code correcteur d'erreurs et d'une modulation numérique appelé *Bit-Interleaved Coded Modulation* (BICM) est décrit dans la Figure 1-a. Ce schéma combine un code correcteur d'erreurs de type LDPC, une modulation numérique d'amplitude en quadrature (MAQ) basée sur une rotation de la constellation par un angle fixé α et un décalage temporel d'une des deux composantes. Ces projections I et Q de la constellation sont ainsi transmises dans deux symboles QAM tournés et décalés. Ce schéma est particulièrement bien adapté à la transmission de données sur des canaux non gaussiens, présentant notamment des phénomènes d'évanouissement de l'information avec ou sans effacement. Le schéma de réception est quant à lui détaillé dans la Figure 1-b. Un processus itératif est présent entre le démodulateur et le décodeur (BICM-ID). Le démodulateur effectue un calcul de distance Euclidienne pour obtenir le logarithme du rapport de vraisemblance (LRV) de chacun des bits du symbole transmis comme détaillé dans [5]. Les LRV sont ensuite désentrelacés avant d'être traités par le décodeur. L'information extrinsèque produite par le décodeur est finalement réinjectée dans le démodulateur pour assurer le traitement itératif. Au sein du décodeur, un algorithme basé sur la propagation de croyance est appliqué suivant un séquençement vertical par couche comme décrit dans [6].

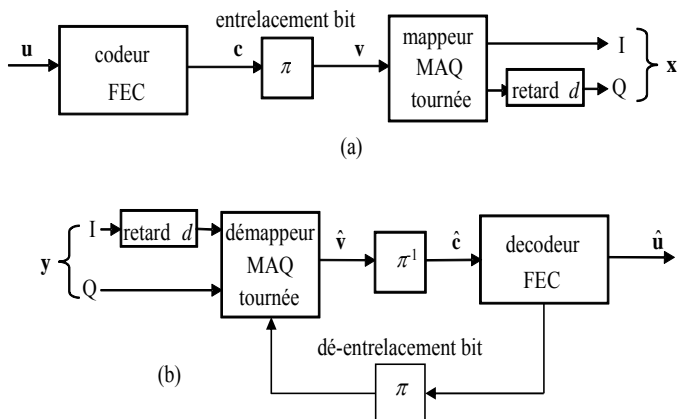


FIG. 1 : schéma d'émission (a) et de réception (b) d'une transmission numérique de type BICM

3. Exploration du traitement combiné au sein du récepteur itératif

Un décodage basé sur un ordonnancement vertical permet un traitement combiné d'une trame décomposée en sous-blocs. L'algorithme associé à ce traitement combiné est détaillé dans cette section. Il peut être décomposé en trois traitements successifs et complémentaires qui s'appliquent respectivement à un sous-ensemble de nœuds d'observation, de nœuds de variable et de nœuds de vérification de parité. L'évolution des nœuds d'observation correspond à la phase de demapping. Quant à celle de décodage, elle correspond à l'évolution des nœuds de vérification de parité. La convergence du processus itératif aboutit à une prise de décision binaire sur les nœuds de variable qui correspondent aux bits transmis. Ce traitement s'applique parallèlement aux différents sous-blocs composant la trame car les nœuds peuvent être considérés de manière autonome. Ils tiennent compte des messages entrants pour mettre à jour les messages sortants.

Pour chaque itération $\forall t = 1, 2, \dots, t_{\max}$, pour chaque unité de traitement parallèle de Q bits (Q étant 1, 45, 90, 120, 180 ou 360), application de l'algorithme suivant au nœud variable d'index $n = 1, 2, \dots, Q$ qui correspond à l'index entrelacé $i = \pi(1), \pi(2), \dots, \pi(Q)$, où $i = \pi(n)$:

Exécution du demapping $\forall i = \pi(1), \pi(2), \dots, \pi(Q)$

(traitement des nœuds d'observation)

$$\hat{v}_i^t \approx \max_{x_i \in \mathcal{X}_i} \left\{ -\frac{1}{\sigma_w^2} D_{e,x}(x_i) + \sum_{j=0, j \neq i, b_j=0}^{m-1} \text{ext}_j^{(t)} \right\} - \max_{x_i \in \mathcal{Z}_i} \left\{ -\frac{1}{\sigma_w^2} D_{e,x}(x_i) + \sum_{j=0, j \neq i, b_j=0}^{m-1} \text{ext}_j^{(t)} \right\} \quad (1)$$

Exécution du décodage $\forall n = 1, 2, \dots, Q$

(traitement des nœuds de vérification de parité)

$$E_{mn}^{(t)} = \begin{cases} \alpha_m \cdot \eta \cdot \text{sgn}(T_{mn}^{(t-1)}) \cdot M_m^1, & \text{if } n = P_m^0 \\ \alpha_m \cdot \eta \cdot \text{sgn}(T_{mn}^{(t-1)}) \cdot M_m^0, & \text{else} \end{cases} \quad (2)$$

(traitement des nœuds de variable)

$$LLR_n = \hat{v}_i^t, \quad \text{où } n = \pi^{-1}(i) \quad (3)$$

$$T_n^{(t)} = \begin{cases} LLR_n, & t = 1 \\ LLR_n + \sum_{m \in M(n)} E_{mn}^{(t)}, & \text{else} \end{cases} \quad (4)$$

$$T_{mn}^{(t)} = T_n^{(t)} - E_{mn}^{(t)} \quad (5)$$

(mise à jour des nœuds de variable pour le prochain demapping)

$$\text{ext}_n^{(t)} = T_n^{(t)} - LLR_n \quad (6)$$

(mise à jour des nœuds de vérification de parité)

$$\alpha_m = \alpha_m \cdot \text{sgn}(T_{mn}^{(t-1)}) \cdot \text{sgn}(T_{mn}^{(t)}), \quad m \in M(n) \quad (7)$$

$$\begin{cases} M_m^0 = \min_{1st} \left(|T_{mn}^{(t)}|, |T_{mk}^{(t-1)}| \right), & P_m^0 = \text{index}(M_m^0) \\ M_m^1 = \min_{2nd} \left(|T_{mn}^{(t)}|, |T_{mk}^{(t-1)}| \right), & P_m^1 = \text{index}(M_m^1) \\ M_m^2 = \min_{3rd} \left(|T_{mn}^{(t)}|, |T_{mk}^{(t-1)}| \right), & P_m^2 = \text{index}(M_m^2) \end{cases} \quad (8)$$

where $k' \in N(m) \setminus n$.

Une illustration graphique de ce processus itératif d'échange de messages entre les nœuds d'un graphe associé aux fonctions de demapping et de décodage est donnée dans la Figure 2.

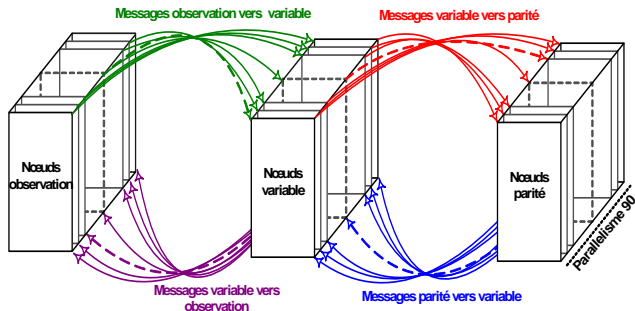


FIG. 2 : schéma illustrant l'échange d'information au sein du récepteur itératif

Dans le contexte de notre étude à savoir le standard DVB-T2, différents types d'ordonnement sont possibles au niveau des échanges de message entre le démodulateur et le décodeur mais également au sein du décodeur. Le Tableau 1 récapitule les caractéristiques de trois cas qui ont été explorés. L'ordonnement A est basé sur le démodulateur et un décodage séquentiel avec un ordonnancement vertical. Chaque symbole modulé intervient dans la mise à jour de $\ln(M)$ nœuds de variable puis les informations extrinsèques sont renvoyées vers le symbole initial. Les ordonnancements B et C sont quant à eux basés sur un décodeur avec un parallélisme de taille 90 dans le processus de décodage. Ainsi, 90 nœuds de variable sont mis à jour et produisent de l'information extrinsèque qui est renvoyée vers au plus 90 symboles modulés. Dès lors, 90 démodulateurs sont nécessaires pour traiter en parallèle toute l'information extrinsèque. Seul le nombre de LLR mis à jour diffère entre les ordonnancements B et C. Dans cette étude, la valeur 90 correspond au niveau de parallélisme retenu pour le décodage des codes LDPC du standard DVB-T2. Des niveaux de parallélisme plus élevés (120, 180 ou 360) sont également possibles pour augmenter le débit au prix d'un surcoût matériel.

TABLEAU 1 : traitements combinés investigués

Ordonnement	A	B	C
récepteur basé sur	Démappeur	Décodeur	Décodeur
symboles modulés	1	≤ 90	≤ 90
LLRs mis à jour	$\ln(M)$	$\leq 90 \cdot \ln(M)$	90
parallélisme décodeur	1	90	90
nœuds de variable	$\ln(M)$	90	90

4. Etude des performances

Les ordonnancements A et C décrits dans la section précédente ont été sélectionnés pour étudier leur performance par simulation. Deux faisceaux de courbe sont donnés dans la Figure 3 pour deux constellations associées à un code LDPC du standard DVB-T2 de longueur 16 200 et de rendement 4/5 en considérant un canal à évanouissement avec 15 % d'effacement (comme décrit dans [5]) et un processus comprenant au maximum 50 itérations. Tout d'abord, nous pouvons noter que des gains respectifs de 1 dB et de 2 dB sont obtenus par le processus de réception itératif pour les constellations QPSK et

MAQ16 par rapport à une réception non-itérative traditionnelle. Par ailleurs, les courbes des deux ordonnancements (A : basé sur le démodulateur et B : basé sur le décodeur) ont des performances similaires pour l'algorithme original de propagation de croyance (BP en anglais) avec un ordonnancement vertical (VSS en anglais). La version simplifiée (MinSum3), proposée dans [6], introduit des dégradations qui s'atténuent pour le récepteur itératif. Enfin, les courbes de TEB des versions architecturales associant un ordonnancement pour maîtriser la latence et un algorithme de propagation de croyance simplifié en virgule fixe pour maîtriser la complexité matérielle démontrent que les gains escomptés peuvent être véritablement obtenus par des architectures matérielles de récepteur itératif pour le standard DVB-T2.

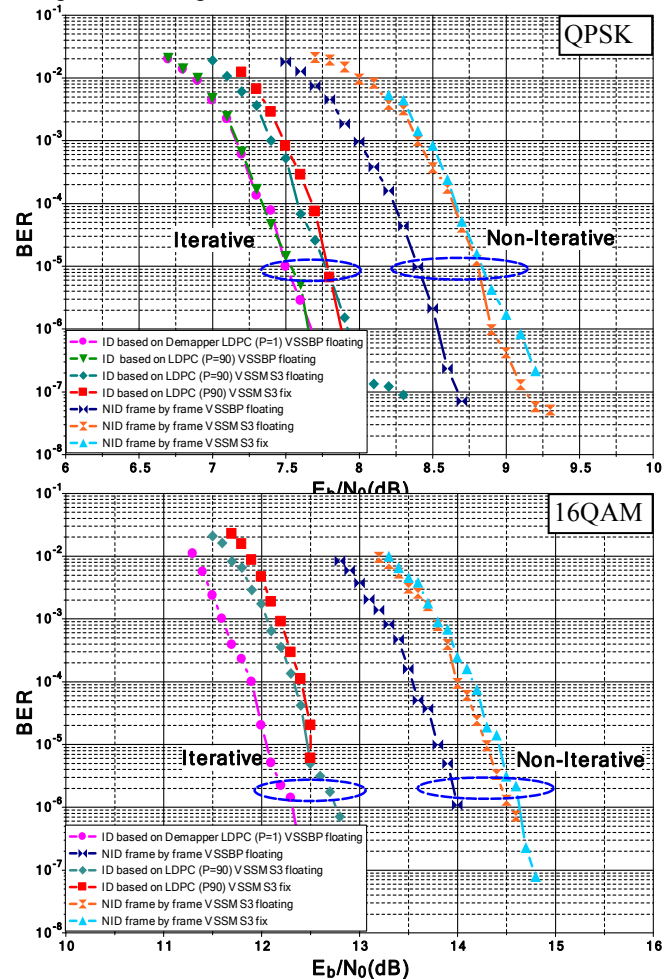


FIG. 3 : comparaison des performances de deux constellations associées à un code LDPC de DVB-T2 de rendement 4/5 pour un canal à évanouissement avec 15 % d'effacement.

5. Implémentation du récepteur itératif

Afin de valider la fonctionnalité du récepteur itératif BICM-ID, des mesures de Taux d'Erreur Binaire (TEB) ont été réalisées sur une carte de prototypage contenant un circuit FPGA Virtex5 LX330. Pour ce faire, une chaîne de communications numériques comprenant une partie émission, un émulateur de canal de transmission et une partie réception a été développée puis implémentée.

L'ensemble des éléments de la chaîne de communications numériques sont donnés dans la Figure 4. Un générateur pseudo-aléatoire produit des données binaires. Ces données sont traitées par le codeur LDPC qui produit la redondance. Les mots de code résultant sont brassés à l'aide de l'entrelaceur du standard DVB-T2. La dernière étape de la partie émission correspond à la mise en forme des symboles en fonction de la constellation choisie, de l'angle α fixé et du décalage temporel. Le modèle de canal à évanouissement retenu pour émuler les effets des effacements est une version modifiée d'un canal de Rayleigh classique comme expliqué dans [5]. Nous l'avons conçu à partir de générateurs de variable aléatoire gaussienne suivant la méthode de Wallace comme expliqué dans [14]. Quant au récepteur, il se compose d'un *demapper* tourné principal et d'un cœur BICM-ID. Le cœur BICM-ID comprend 90 *demappers* de mise à jour associés à 90 processeurs de type décodeur (ordonnancement C).

Le Tableau 2 récapitule les résultats de synthèse logique pour le cœur BICM-ID. Deux versions ont été développées : l'une reposant sur la version simplifiée *MinSum* classique de l'algorithme de décodage basé sur la propagation de croyance et la seconde sur la version simplifiée *MinSum3* détaillée dans la section 3. Il est à noter que la version *MinSum* occupe respectivement 15% et 44% des Flip-Flops et des LUTs disponibles sur un circuit FPGA Virtex5 LX330. Le cœur BICM-ID conçu en utilisant l'algorithme *MinSum3* pour les processeurs de décodage nécessite quant à lui 26 078 Flip-Flops (17%) et 107 438 LUTs (51%) sur la même cible FPGA. Cette seconde architecture introduit donc un surcoût matériel raisonnable. Des mesures de TEB ont été faites pour une constellation QPSK associées à un code LDPC du standard DVB-T2 de longueur 64 800 et de rendement 4/5 en considérant un canal à évanouissement avec 15% d'effacement et un processus comprenant au maximum 15 itérations. Un gain de plus de 10 dB a été observé pour le récepteur itératif BICM-ID VSS *MinSum* par rapport à un récepteur équivalent non itératif comprenant une constellation QPSK non tournée. En outre, un gain additionnel de 0.9 dB est obtenu si l'algorithme de décodage est basée sur la version simplifiée *MinSum3*. Ces résultats expérimentaux nous ont permis de valider le potentiel de récepteurs itératifs BICM-ID comme une solution pratique véritablement pertinente pour le standard DVB-T2.

TABLEAU 2 : résultats de synthèse de récepteurs BICM-ID

<i>XC5V LX330</i>	<i>Flip-Flops</i>	<i>LUTs</i>	<i>RAMs</i>
BICM-ID VSS MinSum	17 371	93 130	179
BICM-ID VSS MinSum3	26 078	107 438	193

Conclusion

Un récepteur itératif dédié aux systèmes de modulation codée à bits entrelacés a récemment été proposé comme option dans le guide de recommandation pour l'implémentation d'un système conforme au standard DVB-T2. Dans cet article, un travail d'exploration architecturale est détaillé. Des innovations concernant l'échange d'information au sein du récepteur BICM-ID et l'algorithme simplifié assurant la propagation de croyance lors du décodage, sont présentées. Elles ont été validées par la conception, l'implémentation et le prototypage sur cible FPGA d'une chaîne de communications numériques.

Références

- [1] X. Giraud, E. Boutillon, and J. C. Belfiore, "Algebraic tools to build modulation schemes for fading channels," *IEEE Trans. Commun.*, vol. 43, no. 3, pp. 938–952, May 1997.
- [2] J. Boutros and E. Viterbo, "Signal space diversity: A power- and bandwidth-efficient diversity technique for the Rayleigh fading channel," *IEEE Trans. Inform. Theory*, vol. 44, no. 4, pp. 1453–1467, July 1998.
- [3] C. Abdel Nour and C. Douillard, "Improving BICM performance of QAM constellations for broadcasting applications," 5th Int. Symp. on Turbo Codes and Related Topics, Lausanne, Switzerland, pp. 55–60, Sep. 2008.
- [4] DVB-T2, "Implementation guidelines for a second generation digital terrestrial television broadcasting system (DVB-T2)", draft ETSI TR 102 831 3 V0.10.00, Nov., 2009.
- [5] M. Li, C. Abdel Nour, C. Jégo and C. Douillard, "Design of Rotated QAM Mapper/Demapper for the DVB-T2 Standard," *SiPS 2009: IEEE workshop on Signal Processing Systems*, October 2009.
- [6] M. Li, C. Abdel Nour, C. Jégo and C. Douillard, "Design and FPPA prototyping of a bit-interleaved coded modulation receiver for the DVB-T2 standard," *SiPS 2010: IEEE workshop on Signal Processing Systems*, October 2010.
- [7] C. Marchand, J.-B. Dore, L. Conde-Canencia, E. Boutillon, "Conflict Resolution by Matrix Reordering for DVB-T2 LDPC Decoders", *Globecom 2009, Hawaii*, Dec. 2009.
- [8] O. Sanchez Gonzalez, M. Arzel, C. Jégo, A. Garcia, M. Guerrero, "Design and implementation of a MIMO channel emulator onto FPGA device", *IWS'09: XV proyecto Iberchip*, 25-27 March, 2009.

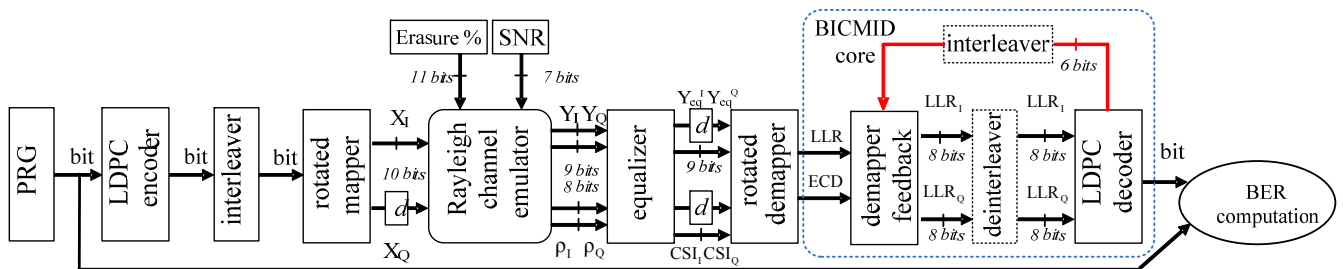


FIG. 4 : éléments de la chaîne de communications numériques prototypée sur un circuit FPGA