

# Architecture NoC sur FPGA pour des algorithmes d'imagerie multispectrale

LINLIN ZHANG<sup>1</sup>, VIRGINIE FRESSE<sup>1</sup>, DOMINIQUE HOUZET<sup>2</sup>, ANNE-CLAIRE LEGRAND<sup>1</sup>

<sup>1</sup> Laboratoire Hubert Curien

18 rue Benoit Lauras, 42000 Saint Etienne, France

<sup>2</sup> Laboratoire GIPSA-Lab

Domaine Universitaire BP 46 38402 Saint Martin d'Hères cedex France

<sup>1</sup>[lin.zhang, virginie.fresse, anne.claire.legrand}@univ-st-etienne.fr](mailto:{lin.zhang, virginie.fresse, anne.claire.legrand}@univ-st-etienne.fr),

<sup>2</sup>[dominique.houzet@gipsa-lab.inpg.fr](mailto:dominique.houzet@gipsa-lab.inpg.fr)

**Résumé :** Les architectures MPSoC-NoC sont des systèmes temps réel embarqués adéquats et efficaces pour des implantations sur ASIC ou FPGA notamment pour des applications de traitement d'images. Les architectures de communication limitant actuellement les performances du système de manière significative, il est essentiel de proposer une architecture de communication répondant aux besoins des applications. Une architecture de communication NoC sur FPGA est proposée. Cette architecture cible des applications d'analyse d'image multispectrale ou hyperspectrale. Cette communication est basée sur les besoins de la classe d'applications ciblée, cette classe étant l'analyse d'image dans ce papier. La structure de l'architecture est présentée et plusieurs versions sur un FPGA Stratix sont proposées (transmission par paquet ou flits). Des comparaisons avec un bus point à point sont présentées. Les résultats obtenus montrent qu'en plus de performances temporelles meilleures, l'allocation des ressources diffère. Le nombre d'éléments mémoires étant moins important au détriment de la logique pour les différentes versions du NoC, ces derniers peuvent être utilisés de manière optimale pour mémoriser des données.

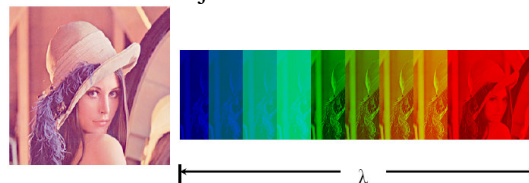
**Abstract – .** MPSoC NoC architectures are real-time embedded systems suitable and efficient for ASIC and FPGA implementations for image processing algorithms. Communication architectures significantly limit the timing performances of the system. The communication design is therefore a keypoint in the system design. The communication must be adapted to algorithm requirements. A communication architecture for FPGA is presented. This architecture is designed for analysis image algorithms for multispectral or hyperspectral applications. The structure is presented and several versions are proposed to ensure packet or flit transfers. Comparisons with a point to point communication architectures are presented. The results point out that timing performance are better and the resource distribution different. The number of memory elements is lower and the logic elements used instead. Memory elements are mainly used for storage operations.

## 1 Introduction

La complexité des applications, notamment dans le domaine des télécommunications et multimédia, ainsi que la forte intégration des circuits électroniques actuels et futurs ont permis et vont continuer à favoriser l'émergence de systèmes multiprocesseurs connectés en réseaux sur puce (MPSoC/NoC). Les difficultés majeures lors de la conception d'un système embarqué dédié concerne le réseau de communication. Les processeurs étant performants et nombreux (certaines architectures intègrent plusieurs centaines de processeurs), les verrous de la conception sont déportés vers les communications qui dégradent de manière significative les performances du système. Les applications d'imagerie multispectrale traitent des types et des quantités de données tellement variés qu'il est nécessaire de proposer une architecture de communication adéquate et performante. Une architecture de communication NoCs sur FPGA basée sur les besoins de l'application est présentée. Les résultats obtenus sur FPGA Stratix sont significatifs par rapport à un bus traditionnel.

## 2 Algorithme d'imagerie multispectrale

L'imagerie multispectrale permet de représenter des images dans un espace n-dimensionnels, n correspondant au nombre de longueurs d'ondes (plus précisément la fondamentale du spectre) à traiter [1]. Ces détails spectraux sont souvent significatifs et nécessaires pour des applications de reconnaissance et d'authentification d'objets.



**Figure 1 : Principe de l'imagerie multispectrale**

L'application d'imagerie multispectrale cible l'authentification et la reconnaissance d'œuvres d'art dans les dimensions spatiales et spectrales. Le processus d'authentification consiste à comparer la base d'images de l'objet à authentifier avec une base d'images de l'objet de référence. L'algorithme contient un ensemble de fonctions à exécuter dans le domaine spatial et spectral (figure 2).

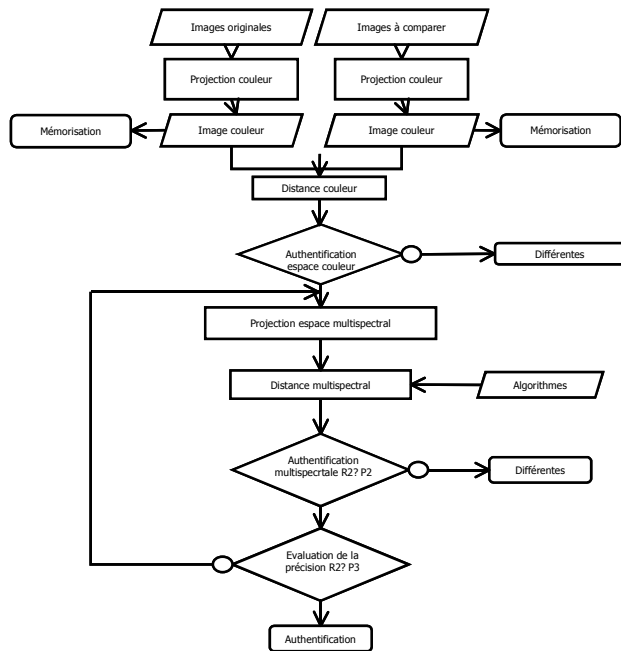


Figure 2: principe d'authentification d'œuvre d'arts

L'algorithme d'authentification traite des données de formats totalement différents, ces données diffèrent toutes dans leur taille et leur représentation mais doivent néanmoins être envoyées à des nœuds de calcul commun. Cette diversité de données associée à des quantités de données importantes est totalement inadaptée à l'utilisation de bus traditionnels pour des architectures embarquées sur FPGA. Il est donc nécessaire de proposer un protocole de communication adéquat délivrant une bande passante élevée, les puissances de calcul étant largement résolues par l'utilisation de blocs IPs optimisés ou de processeurs dédiés. L'architecture de communication se base sur les besoins algorithmique et sur l'architecture de calcul utilisée.

### 3 Architecture de calcul

Le protocole de communication étant basé sur le nombre et le type de nœuds, il est nécessaire d'identifier l'architecture de calcul avant de proposer une architecture de communication adéquate.

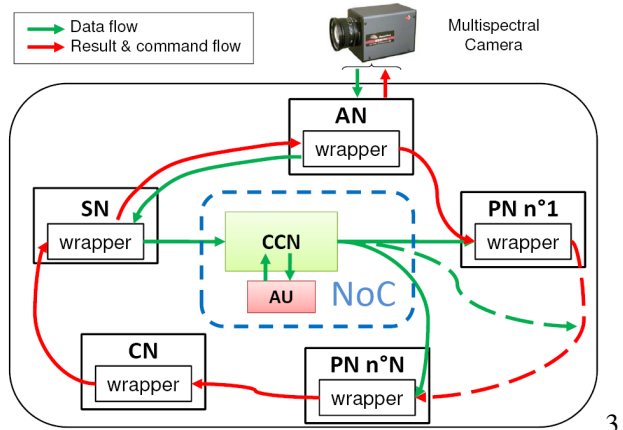


Figure 3 : Architecture de communication NoC proposée

Une architecture de type GALS (Globally Asynchronous Locally Synchronous) est choisie afin d'optimiser les performances du système par une utilisation des fréquences maximales pour chacun des nœuds (figure 3).

L'architecture proposée possède donc un ensemble de nœuds, chaque nœud ayant une fonctionnalité propre. Les types identifiés à partir des besoins de l'application, sont au nombre de 4 types:

- Nœud de contrôle : l'architecture fonctionne en contrôle centralisé. Un seul nœud de contrôle est par conséquent utilisé et reste au nombre de un quelle que soit l'application.
- Nœud d'acquisition : permettent l'interfaçage avec l'environnement. L'application ciblée intégrant une caméra multispectrale pour l'acquisition des données à comparer, un nœud d'acquisition est intégré.
- Nœuds mémoire : stockant les images spatiales, les coefficients pour les projections couleurs ainsi que les images spatiales et les spectres obtenus. 4 nœuds mémoire sont définis, un nœud par type de donnée.
- Nœuds de calcul : réalisant les opérations dans le domaine spatial et spectral. Chaque nœud doit être capable de traiter des données venant de différents nœuds mémoire. Les nœuds de calcul possèdent des fonctionnalités différentes afin de réaliser les fonctions de l'application d'authentification d'œuvre d'art à savoir : des projections couleur, des distances couleur, des projections multispectrale et des calculs de distance multispectrale. On définit donc 4 nœuds de calcul au minimum, ce nombre pouvant être augmenté si les besoins en performances sont plus élevés.

L'identification des nœuds à partir des besoins de l'application amène à la structure de l'architecture de calcul suivante:

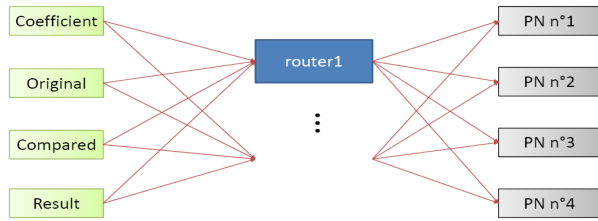
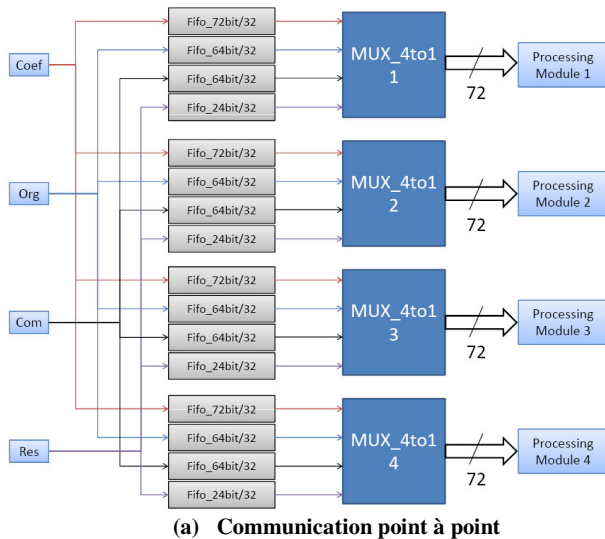


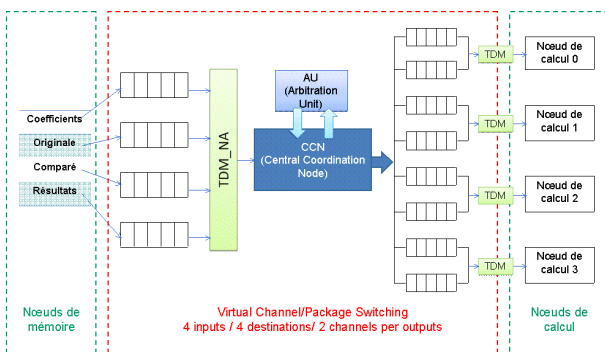
Figure 4 : la topologie de NoC

## 4 Architecture de communication

L'architecture de communication proposée pour les données de l'application est une architecture de communication NoC (Network On Chip) [2]. Les architectures NoC sont vues comme les architectures de communication les plus adaptées par rapport aux besoins de communication des applications actuelles, remplaçant ainsi les bus traditionnels (figure 5) pour des architectures intégrant un nombre important de processeurs ou de blocs de calcul logique. Les architectures de communication NoC sont également bien adaptées pour des transferts de données différentes.



(a) Communication point à point



(b) TDM NoC

Figure 5 : architectures de communication pour des applications d'imagerie multispectrale

Afin d'évaluer les performances de l'architecture de communication proposée, une architecture de communication dite traditionnelle de type point à point est développée, figure a). L'architecture de communication basée sur le concept des NoC, présentée figure b) intègre quant à elle un bloc de gestion de

ressources, appelé CCN ainsi qu'un bloc arbitreur (AU). La structure des blocs constituant ce NoC est détaillée ci-dessous.

### 4.1 Central Coordination Node (CCN)

Cette unité appelée CCN a pour tâche la gestion des ressources du système. Elle dirige les transferts des données entre les nœuds mémoires et les différents nœuds de calcul lors d'arrivée de nouvelle donnée sur le réseau.

### 4.2 Arbitration Unit (AU)

Cette unité contrôle est un arbitreur fonctionnant en mode Round Robin [3] pour les transferts des données entre les nœuds mémoires et les nœuds de calcul effectué via le CCN. Il détecte les états des canaux virtuels associés aux nœuds de calcul afin de diriger les données provenant des nœuds mémoire vers des canaux disponibles du nœud de destination.

### 4.3 Flot de contrôle des canaux virtuels (VC)

Des canaux virtuels (VC) sont utilisés pour la communication vers les nœuds de calcul. Le principe du canal virtuel est une technique souvent utilisée pour des réseaux multiprocesseurs à forte charge. Ces canaux se répartissent entre eux un canal physique en utilisant des tampons de mémorisation différents, afin d'éviter les risques d'interblocage permettant une optimisation de l'utilisation des liens, une réduction de la surface et de la consommation [3]. Chaque nœud de calcul possède donc des canaux virtuels. Un VC est un buffer pouvant contenir un ou plusieurs Flit (Flow control unit) d'un paquet. Pendant les opérations de routage, un VC peut se trouver dans un des états présentés table :

Le flot de communication fonctionne en mode packet switching. Ce mode permet des transferts de données différentes vers un ensemble de nœud de calcul. La transmission des données nécessite d'encapsuler une donnée dans un paquet, chaque paquet contenant des informations d'entête pour permettre d'envoyer la donnée vers le nœud de calcul cible.

## 5 Résultats d'implantation

L'architecture complète est implantée dans un FPGA Stratix II EP2S180F1508C3. Les ressources associées aux nœuds sont présentées en table 1. Le nombre des ressources dédiées aux différents nœuds n'est pas significatif comparé aux ressources nécessaires pour les communications. Les travaux présentés en [4] montrent que le nombre de nœuds implantables sur FPGA peut atteindre plusieurs dizaines de nœuds de calcul et qu'il est facilement aisé de prédire le nombre maximale des nœuds sur un FPGA. L'analyse des performances concerne ici uniquement l'architecture de communication. Les deux types de communications sont implantés: la communication de type point à point correspondant aux besoins de l'application (figure 5 a)) et l'architecture de communication NoC proposée.

**Tab 1 : Ressources/ fréquence des différents nœuds de l'architecture de calcul sur FPGA Stratix**

Nœuds	Fréquence	Logique	Registres	Bits mémoire
control <sup>n</sup>	150	278	265	32
acquisition	76.923	315	226	2
mémorisation	100	280	424	320000
Traitement	50	Dépendant de l'algorithme		

**Tab 2 : Comparaison de ressources de l'architecture de communication sur Altera pour les 2 types de communication**

	Point-to-point	NoC 48 bit	NoC 56 bit
<b>Logique</b>	1%	2%	3%
<b>ALUTs combinatoire</b>	305	1842	2118
<b>Registres</b>	1425	2347	2739
<b>IOB</b>	512	344	408
<b>Bits mémoire</b>	29568	3384	3960
<b>Fréquence</b>	165.73M Hz	264.34M Hz	282.41 MHz

L'architecture de communication en point à point est implantée ainsi que deux versions de l'architecture NoC. L'architecture NoC est implantée en deux versions avec des tailles de données variables. Ces tailles de données sont sur 48 bits et 56 bits. Les résultats d'implantation pour chacune des versions sont donnés dans le tableau 2. Les résultats montrent que chaque version utilisent 1 à 3% des ressources du FPGA Stratix. Cependant les allocations de ressources diffèrent selon les versions. L'analyse des entrées sorties nécessaires révèle que la communication point à point nécessite un nombre plus important d'entrée/sortie. Les architectures NoC diminuent de manière considérable le nombre d'entrées/sorties (diminution d'environ 30%), limitant la connectique entre les différents nœuds et permettant dans certains cas l'utilisation de FPGA de taille plus réduite. En effet, des expérimentations ont montré que la version point à point n'est pas implantable sur un EP2S15F484C3 (à cause du nombre d'IOB nécessaire) alors que la version NoC équivalente l'est. De plus, les architectures NoC nécessitent plus d'ALUTs (6 à 7 fois plus) et de registres (1.5 à 2 fois plus) mais beaucoup moins de bits mémoire, ce qui est favorable pour des

applications traitant des grande quantité de données qui peuvent être mémorisées dans le circuit. Par rapport aux bandes passantes, les fréquences de fonctionnement sont plus élevées lors de l'utilisation d'architectures NoCs.

## 6 Conclusions et perspectives

Une architecture de communication NoC adaptée aux algorithmes d'imagerie multispectrale a été proposée et implantée sur FPGA Stratix. Les performances de cette architecture sont significatives par rapport à un bus traditionnel par une connectique moins gourmande et par une bande passante plus élevée. La diminution de l'utilisation de la mémoire permet d'envisager de mémoriser des données dans le circuit grâce à des algorithmes d'optimisation mémoire. Un autre avantage d'une telle architecture est la possibilité de transférer différents types et tailles de données sans augmenter les communications. Les perspectives d'évolution de cette architecture s'orientent vers l'ajout de détection d'erreurs dans le NoC pour garantir une qualité de service.

## 7 Références

- [1] V. Vurpillot, A. C. Legrand, A. Trémeau, "Acquisition, authentication and display of color images in the domain of painting", Invited paper, IAPR, SCIA conference, Invited paper, Joensuu (Finlande), 2005.
- [2] L. Benini et G. De Micheli, « Networks on Chips : A New SoC Paradigm ». computer, vol. 35, no1, pages 70-78, 2002.
- [3] N. Kavaldjiev, G.J.M. Schmit, P.G. Jansen «A virtual Channel router for On-chip Networks » IEEE International SoC conference, pp 289-293, 12-15 septembre 2004,
- [4] T. Tan, L. Zhang, V. Fresse A.-C. Legrand, D. Houzet, «A Predictive and Parametrized Architecture for Image Analysis Algorithm Implementations on FPGA Adapted to Multispectral Imaging » in Proc. IEEE IPTA, First International Workshops on Image Processing Theory, Tool & Applications, pp.244-251. Sousse, Tunisie, 23-26 novembre 2008.