

Système de traitement du train transport MPEG-2

Christophe Alexandre, Hervé Brunet, Didier Le Ruyet, Han Vu Thien

CNAM, Laboratoire Signaux et Systèmes
292 rue Saint Martin, 75141, PARIS Cedex 03, France

alex@cnam.fr, brunet@cnam.fr, leruyet@cnam.fr, vu-thien@cnam.fr

Résumé – Dans le cadre d’un contrat avec un opérateur satellite, nous avons développé un système d’analyse et de traitement en temps réel du train transport MPEG-2. Intégré sur une plate-forme de type PC sous « Windows NT », les différents éléments matériels et logiciels permettent de tester les aspects de transmission (diagramme de l’œil, constellation, taux d’erreurs), de conformité et de surveillance de la composition du train transport. Le système peut aussi acquérir, enregistrer sur disque et restituer le train transport.

Abstract – As part of a research contract supported by a broadcaster, we have developed an MPEG-2 transport stream real time analyzer. Running on a PC under « Windows NT », the software and hardware parts of the system allow transmission measurements (eye diagram, constellation and error rate), compliance testing and program monitoring. Transport stream storage and reading are also available.

1. Introduction

La télévision numérique a maintenant quitté le domaine de la recherche pour passer au stade industriel. Dans le cadre d’un contrat avec un opérateur satellite, nous avons été amenés à développer un système d’analyse innovant permettant de réaliser différents traitements en temps réel sur le train transport MPEG-2. Nous avons pour cela intégré sur une plate-forme de type PC et sous « Windows NT » les différents éléments matériels et logiciels permettant de tester les aspects de transmission (diagramme de l’œil, constellation, taux d’erreurs), de conformité et de surveillance de la composition du train transport. Le système peut aussi l’acquérir, l’enregistrer sur disque et le restituer.

2. Le train transport MPEG-2

Le train transport MPEG-2[1] est découpé en paquets de transport d’une longueur égale à 188 octets auxquels on ajoute 16 octets de redondance. Leur entête, codée sur 4 octets, débute par un octet de synchronisation et comprend, entre autre, un identifieur de paquet (PID) codé sur 13 bits. Chacun des flux élémentaires (audio, vidéo, données ou tables systèmes) composant le train transport est porté par des paquets ayant le même PID. On en trouve jusqu’à une centaine sur un répéteur satellite avec un débit maximal de 6.5 Moctet/s. L’interface parallèle synchrone (SPI) qui permet d’acheminer ce signal en LVDS est normalisée[2]. La figure 1 montre les signaux qui la composent.

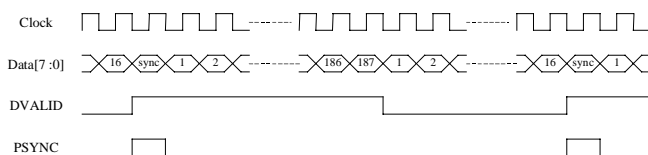


FIG. 1 : le train transport MPEG-2

3. Le cahier des charges

Le système d’analyse a été conçu afin de réaliser trois types d’application en temps réel :

1. Une application de mesure de la qualité de la transmission permettant :
 - de calculer et d’enregistrer les taux d’erreurs dans le canal et après le décodeur de Viterbi,
 - de calculer et d’enregistrer le rapport signal sur bruit,
 - de visualiser le diagramme de l’œil sur les voies I et Q ainsi que la constellation QPSK.
2. Une application de surveillance du train transport comprenant :
 - l’extraction (et le test) des tables PSI et DVB-SI afin d’établir le plan de service du répéteur puis sa vérification grâce à une requête SQL à une base de données contenant le plan de service souhaité,
 - la surveillance des affluents élémentaires (débit instantané et alarme programmable en cas de disparition),
 - le test du compteur de continuité sur chaque PID,
 - le test des champs Program Clock Recovery de chaque programme (ce champ PCR permet d’asservir l’horloge numérique du décodeur sur l’horloge système du codeur).
3. Une application de laboratoire permettant :
 - d’acquérir le train transport et de le stocker sur disque,
 - ou d’acquérir les entêtes des paquets de transport et de les stocker,
 - ou d’acquérir certains paquets (mode filtrage), de les dater puis de les stocker,
 - ou de restituer un train transport stocké sur disque avec une horloge externe.

4. Solutions retenues

C'est l'application d'enregistrement et de restitution en temps réel du train transport qui est la plus critique. La limite de stockage ne doit être déterminée que par la taille des disques utilisés et les fichiers stockés doivent être directement accessibles depuis le système d'exploitation (Windows NT). L'enregistrement en temps réel d'un train binaire en très grosse quantité (plusieurs Go) à des débits relativement élevés (jusqu'à 7.5 Moctet/s) a nécessité une étude détaillée des familles de disque dur disponibles. Nous avons choisi des disques SCSI-2 Ultra-Wide (montés en RAID0 logiciel) ayant une vitesse de rotation de 7200 tours/mn et une capacité de 4.5 Go pour leurs performances en transfert soutenu, puis nous avons mesuré les temps de latence en lecture et en écriture (dûs principalement à la recalibration thermique des têtes magnétiques). Le délai de latence, lors de nos mesures sur de longues durées, n'a jamais été supérieur à 50 ms ce qui représente 375 ko de données au débit maximal. Une pile FIFO doit donc obligatoirement se trouver sur la carte PCI assurant le transfert pour absorber ces délais. Sa taille a été fixée à 1 Mo et elle a été réalisée avec de la mémoire RAM statique.

La capacité d'évolution de ce système a nécessité une étude approfondie du partage entre le matériel et le logiciel, c'est-à-dire du compromis entre la vitesse du matériel et la souplesse du langage C. Nous avons développé une carte de traitement PCI qui permet de réaliser, avec le « driver » et les routines de bas niveau associés, différents transferts entre l'interface SPI et la mémoire vive du PC, ainsi qu'une carte tuner/décodeur qui assure la démodulation du signal QPSK et le décodage de canal[3] et enfin un modulateur effectuant le codage de canal et la modulation QPSK. La figure 2 montre les trois éléments du système.

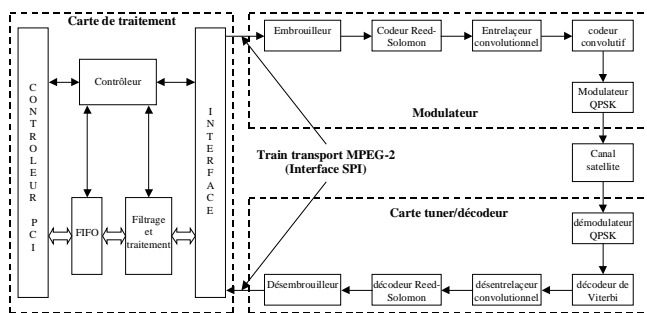


FIG. 2 : les trois éléments du système

5. La carte de traitement

Cette carte PCI (avec le driver et les routines de bas niveau associés) permet de réaliser les trois transferts suivants entre le bus SPI (arrivée du train transport) et la mémoire vive du PC : soit tous les paquets de transport, soit les entêtes des paquets de transport, ou bien seulement les paquets de transport dont le PID correspond à une liste prédéfinie (64 PID au maximum). Elle peut aussi effectuer le transfert de tous les paquets de transport entre la mémoire vive du PC et le bus SPI (fonction restitution). Son synoptique est le suivant :

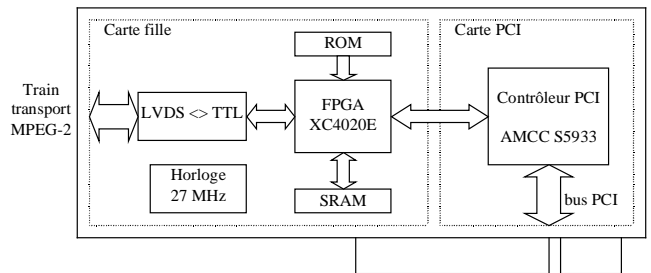


Figure 3 : synoptique de l'ensemble carte PCI, carte fille.

L'ensemble est composé de deux cartes (voir figure 4) : une carte PCI générique et une carte fille montée en mezzanine qui comprend tous les circuits spécifiques à notre application.

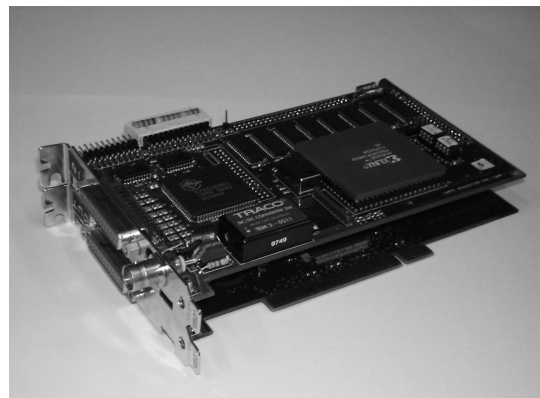


Figure 4 : carte d'acquisition/restitution du train transport MPEG-2

Le FPGA XC4020E est le cœur du système. Il assure quatre fonctions : l'interface avec le bus SPI via un convertisseur LVDS, l'interface et le contrôle de la mémoire SRAM afin de former une FIFO 256 k x 32 bits, l'interface de communication avec le contrôleur PCI AMCC et le contrôle général du fonctionnement du système. L'horloge à 27 MHz permet, avec une précision ± 5 ppm, de dater l'arrivée des paquets de transport en mode filtrage ou de tester la valeur des PCR de chaque programme.

6. La carte tuner/décodeur

Cette carte est alimentée par un connecteur PCI, mais elle est pilotée par un bus I2C commandé par le port parallèle du PC. Son synoptique est le suivant :

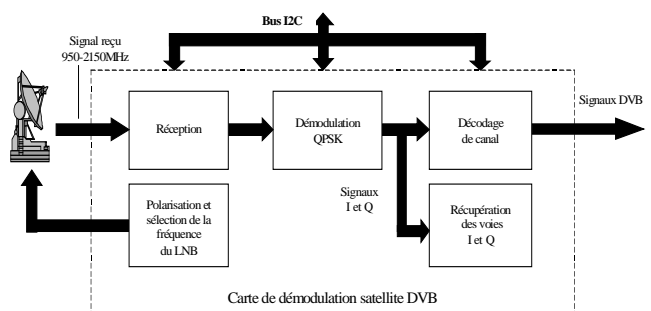


Figure 5 : carte tuner/décodeur

Elle assure les fonctions principales de réception et de démodulation analogique, de démodulation QPSK, de décodage de canal et de sélection de la polarisation de l'antenne et de la plage de fonctionnement de l'oscillateur local. Elle récupère, via le bus I2C, le rapport signal sur bruit et différents taux d'erreurs fournis par le circuit tuner BSRV2 ainsi qu'un échantillonnage des voies I et Q. Elle se présente sous la forme d'une carte PCI courte.

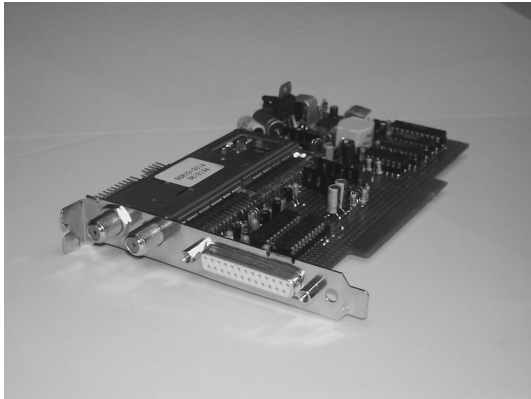


Figure 6 : carte tuner/décodeur

7. Le modulateur

Le modulateur réalise les fonctions suivantes : conversion, embrouillage, codage Reed-Solomon, entrelaçage convolusionnel, codage convolutif, perforation, filtrage et modulation ; ce qui nous donne le synoptique général de la figure suivante.

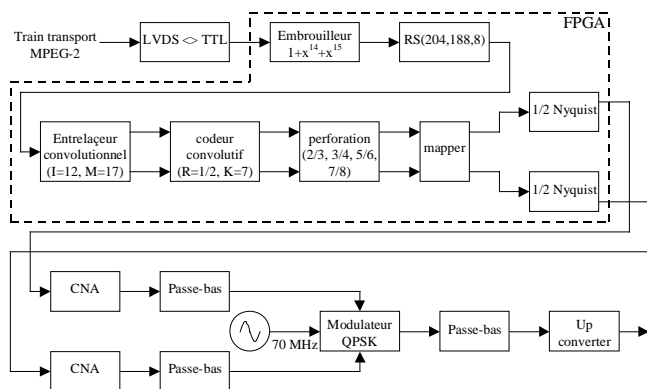


Figure 7 : synoptique du modulateur

Trois horloges sont nécessaires au fonctionnement du modulateur :

1. l'horloge octet entrante (Clock) qui cadence les blocs « codeur Reed-Solomon » et « entrelaçage convolusionnel »,
2. l'horloge bit utilisée dans les blocs « embrouilleur », « codeur convolutif » et à l'entrée du bloc « perforation »,
3. et l'horloge symbole (ou deux fois cette horloge) à la sortie du bloc « perforation » et dans les blocs « mapper » et « 1/2 Nyquist » (ainsi que sur les CNA).

D'après le cahier des charges, la fréquence symbole doit pouvoir varier entre 17,5 et 30 Msym/s, ce qui implique qu'avec les différents rendements, l'horloge octet peut varier entre 2,1875 MHz et 6,5625 MHz. De plus, elle peut être affectée d'un jitter non négligeable. Deux problèmes doivent donc être résolus dans ces conditions : le passage du rythme octet au rythme bit (et vice versa) et le passage du rythme bit au rythme symbole.

Après étude (notamment des problèmes de jitter), nous avons choisi de travailler en mode rafale avec une horloge (H64M) dont la fréquence est égale à 64 MHz (supérieure à $8 \times 6,5625$ MHz plus une marge pour le jitter). Les signaux de l'interface SPI sont resynchronisés sur H64M et un signal de validation d'une durée de 8 périodes est généré. C'est grâce à ce signal que l'on effectue la conversion octet/bit et que l'on peut travailler au rythme bit et ce même avec une instabilité élevée de l'horloge octet. L'inconvénient de cette méthode est une fréquence de travail plus élevée que si l'on travaillait directement avec une horloge bit strictement égale à 8 fois l'horloge octet.

L'horloge symbole (en fait 2 fois cette horloge à cause du sur-échantillonnage nécessaire à la réalisation des filtres 1/2 Nyquist) pose plus de problèmes. Elle doit être générée à l'aide d'un générateur de fréquence programmable extérieur puisqu'elle est un multiple fractionnaire de l'horloge octet, ce multiple (voir tableau 1) dépendant du rendement du code interne.

Tab. 1 : coefficient multiplicateur de l'horloge octet

Rendement	$2 \times F_{\text{symbole}} = H_{\text{octet}} \text{ multipliée par}$
1/2	16
2/3	12
3/4	32/3
5/6	48/5
7/8	64/7

De plus, les fréquences de travail de part et d'autre de la perforation sont différentes et donc asynchrones. Il est nécessaire d'utiliser une mémoire double port synchrone 32 bits sur chacune des deux voies pour assurer la resynchronisation des flux de données entrant et sortant. Cette mémoire est utilisée pour former une sorte de FIFO asynchrone où le pointeur d'écriture aurait toujours en moyenne 16 coups d'horloge d'avance sur le pointeur de lecture afin d'assurer la continuité des symboles à la sortie de la perforation. Ce bloc travaille donc à une fréquence de 64 MHz en entrée et à une fréquence maximale de 60 MHz en sortie.

D'un point de vue fonctionnel, c'est l'entrelaçage convolusionnel qui pose le plus de problèmes. Il est composé de 12 branches qui occasionnent chacune un retard de $N \times 17$ périodes de l'horloge octet divisée par 12 (N étant compris entre 0 et 11) sur le train d'octets sortant du codeur Reed-Solomon. Un calcul rapide montre qu'il faudrait utiliser 8976 bascules D, c'est-à-dire environ 5000 blocs logiques configurables (CLB) dans notre FPGA (famille 4000XL de chez Xilinx), ce qui est impossible avec les capacités actuelles. Il faut donc utiliser les blocs mémoires synchrones.

16x2 bits se trouvant dans chaque CLB pour réaliser ces retards. Associée avec un compteur, une mémoire 16x1 peut réaliser un retard de 16 périodes d'horloge (et même 17 en ajoutant la bascule D encore disponible dans le CLB). Chaque bloc de 17 retards sur 8 bits tient donc en 4 CLB au lieu de 68 en n'utilisant que des bascules D. De cette manière, on réalise l'entrelaceur complet en 470 CLB (au lieu de 5000). Développés en langage VHDL, l'ensemble des blocs du codage de canal occupe entièrement un XC4044XL-1 (1600CLB). Les différents éléments du modulateur (voir figure 8) ont été testés séparément puis assemblés et mis dans un rack 19 pouces de hauteur 1U.

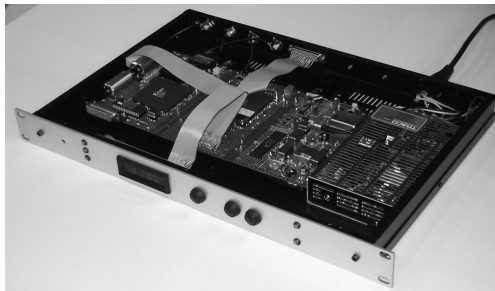


Figure 8 : modulateur satellite

8. L'application logiciel

La première fenêtre ouverte par le logiciel concerne la configuration de la carte tuner et la qualité de la transmission.

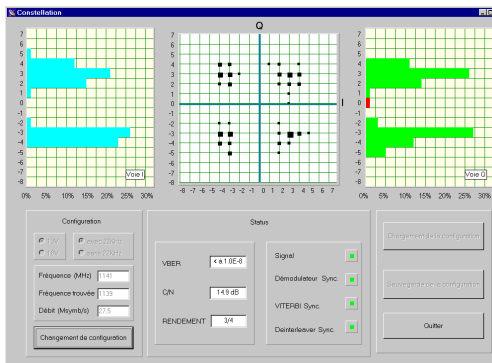


FIG. 9 : configuration de la carte tuner et test de la réception

Une fois la réception opérationnelle, on peut lancer soit l'application de surveillance du train transport (voir figure 10) soit l'application de laboratoire (voir figure 11).

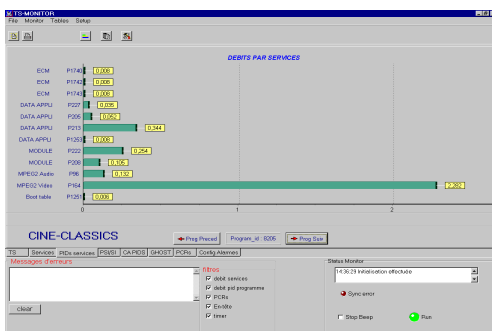


Figure 10 : fonction surveillance

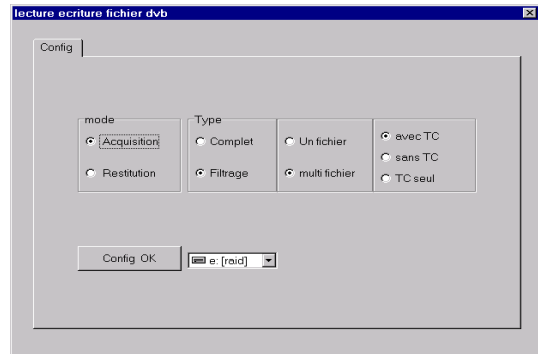


Figure 11 : acquisition en mode filtrage

Pour faciliter le traitement en temps réel, l'application logiciel a été séparée en deux « thread » (tâches) indépendantes, un « thread » de haute priorité gérant les traitements de bas niveau et un « thread » d'affichage de priorité moindre.

9. Résultats

Les résultats des tests ont été conformes au cahier des charges. En fixant la taille des blocs transférés via un accès DMA entre la FIFO et la mémoire vive du PC à 64 ko, nous avons pu réaliser en temps réel les traitements demandés pour l'application surveillance (notamment le test des PCR qui était critique). En ce qui concerne l'application de laboratoire, la fonction critique était l'acquisition et le stockage sur disque du train transport complet. Nos tests ont montré qu'il était possible de la réaliser sans débordement de la FIFO jusqu'à un débit de 8.5 Mo/s.

10. Perspectives

En vue d'obtenir une version plus compacte du système, il est prévu d'implémenter le modulateur sur une carte PCI afin que tous les éléments tiennent dans un PC. Il sera de plus nécessaire d'ajouter une interface série asynchrone ASI sur les trois cartes en plus de l'interface SPI pour assurer une totale interopérabilité avec les équipements du commerce.

Références

- [1] ISO/IEC 13818-1 : *Information technology -- Generic coding of moving pictures and associated audio information : Systems*. 1996.
- [2] CENELEC Standard EN 50083-9 : *Cabled Distribution Systems for Television, Sound and Interactive Multimedia Signals; Part 9: Interfaces for CATV/SMATV Headends and similar Professional Equipment*. 1997.
- [3] ETSI 300421 : *Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for 11/12 GHz satellite services*. 1997.