

# SYMPHONIE-SH : une architecture hétérogène pour le traitement d'images de bas et moyen niveau

Marc Peythieux<sup>(1)</sup>, Christian Gamrat<sup>(1)</sup> et Patrick Garda<sup>(2)</sup>

<sup>(1)</sup> LETI (CEA-Technologies Avancées)  
DEIN-CEA Saclay

F91191 Gif sur Yvette Cedex France

<sup>(2)</sup> Laboratoire des Instruments et Systèmes

Université Pierre et Marie Curie

Case Courrier 252

4, place Jussieu

75252 PARIS cedex 05

## RÉSUMÉ

Cet article présente une architecture hétérogène adaptée au traitement d'images de bas et moyen niveau, et s'appuyant sur un calculateur SIMD en cours de développement au LETI (la machine SYMPHONIE), ainsi que sur un processeur de traitement du signal performant (le SHARC). Une étude comparative de performances sur une chaîne algorithmique typique de vision industrielle est aussi présentée.

## ABSTRACT

This paper presents an heterogeneous architecture for low and intermediate level image processing. It is composed of both a SIMD computer currently being developed by LETI (the SYMPHONIE computer), and of a powerful digital signal processor (the SHARC). A comparative performance analysis is also presented, based on a sequence of algorithms which is typical of industrial vision.

## 1 Introduction

Le traitement d'images, domaine très coûteux en temps de calcul, a conduit à la réalisation de nombreux calculateurs dédiés, comme par exemple la machine SYMPATI [1], calculateur SIMD ligne ayant de 32 à 128 processeurs 16 bits. Une telle architecture est en bonne adéquation avec les algorithmes de bas niveau réguliers. Cependant, les chaînes complètes de traitement d'images comportent aussi des algorithmes de moyen et haut niveaux, dont les besoins architecturaux sont très différents de ceux du bas niveau [2]. Plusieurs approches ont été suivies pour adapter ce type d'architecture SIMD à des algorithmes de plus haut niveau. Une première approche, suivie dans la machine SYMPHONIE, permet les communications irrégulières grâce à l'utilisation d'un réseau à passage de messages [3]. Une autre approche, proposée dans GFLOPS, introduit deux modes de contrôle, soit SIMD, soit MIMD [4]. Une dernière approche, comme dans le cas de la machine Transvision [5], consiste à associer deux architectures, l'une dédiée au bas niveau, et l'autre aux moyen et haut niveaux. Cette approche, que l'on peut qualifier d'hétérogène, caractérise les machines IUA [6] et VISTA [7]. Dans cet article, nous proposons l'architecture SYMPHONIE-SH qui bénéficie de ces trois approches : elle est hétérogène, elle profite des capacités de communication de SYMPHONIE, et elle constitue la base d'une machine au contrôle multi-SIMD.

## 2 L'architecture

SYMPHONIE-SH possède une architecture hétérogène à deux niveaux étroitement couplés par une mémoire partagée (FIG.1). Chaque niveau de l'architecture est en adéquation avec le niveau de traitement d'images qu'il exécute.

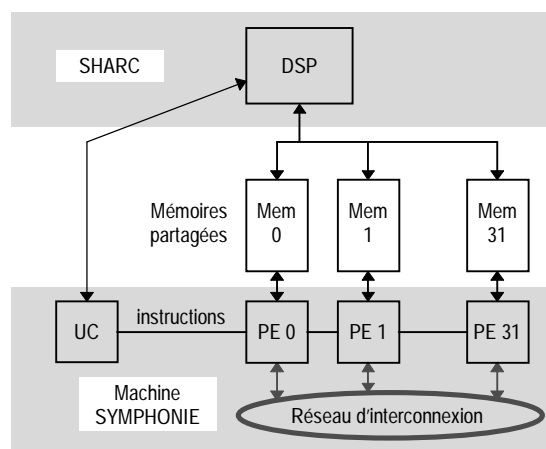


FIG.1. L'architecture hétérogène proposée.

Le premier niveau de l'architecture supporte les traitements d'images pixéliques ou de bas niveau. Il est composé d'une machine SYMPHONIE [3], calculateur SIMD ligne disposant de processeurs virgule fixe 32 bits

pouvant exécuter deux opérations arithmétiques et logiques ainsi que deux accès mémoire par cycle. SYMPHONIE possède un réseau d'interconnexion entre processeurs voisins, et un réseau annulaire asynchrone à passage de messages. Les entrées-sorties asynchrones d'images reposent sur deux canaux, un d'entrée et un de sortie. Les 32 processeurs SYMPHONIE de l'architecture proposée peuvent être implantés sur un multi-chip module comprenant neuf ASICs et de la mémoire.

Les traitements symboliques, ou de moyen niveau, sont réalisés sur un processeur séquentiel : le SHARC [8]. Ce processeur de traitement de signaux numériques d'Analog Devices (ADSP21060) peut exécuter jusqu'à trois opérations arithmétiques et logiques et deux accès mémoire par cycle. Il travaille en virgule fixe ou flottante. Ce nœud de calcul performant a été choisi en raison de sa facilité de programmation et de mise en œuvre, et de ses fonctions matérielles permettant d'envisager la réalisation d'une architecture multi-SIMD basée sur SYMPHONIE-SH.

L'interface entre le SHARC et la machine SYMPHONIE est réalisée par une mémoire double port. Elle est vue par la machine Symphonie comme un ensemble de 32 bancs mémoire distincts, accessibles en parallèle par les processeurs. Vue du SHARC, elle se présente sous la forme d'une zone mémoire unique, divisée en 32 blocs d'adresses contiguës, représentant les différents bancs mémoire de SYMPHONIE. Ce dispositif permet d'effectuer le traitement de données par l'un ou l'autre des niveaux de la machine dans le même espace mémoire partagé, et donc sans surcoût de transfert de données. La synchronisation entre les deux niveaux de la machine se fait par interruptions. Les entrées-sorties d'images sont gérées par le mécanisme matériel existant de SYMPHONIE. La machine sera programmable en C pour sa partie de haut niveau, et pour le bas niveau soit en assembleur (SPL), soit dans un langage objet parallèle : CT++ [9].

L'architecture permet d'exploiter le parallélisme de données grâce aux 32 processeurs de la machine SIMD. Elle permet de réaliser du parallélisme fonctionnel lorsque les deux niveaux de la machine travaillent simultanément.

### 3 Evaluation d'une chaîne algorithmique

Une chaîne de traitement typique de vision industrielle a été définie pour évaluer l'architecture. Le traitement a pour objet de caractériser des objets se détachant sur un fond. La chaîne de traitements prend en entrée une séquence d'images 8 bits de taille 256 par 256. Elle fournit en sortie une liste d'objets et leurs paramètres. Les différentes étapes du traitement sont présentées sur la figure 2. Le calibrage consiste à isoler les objets présents du fond. Le filtrage est réalisé par un moyennage 3\*3. La binarisation est obtenue par simple seuillage. L'étiquetage est réalisé par un algorithme symbolique, travaillant sur l'image binarisée, codée sous forme de RLCs (Run Length Code). Dans la phase suivante sont calculés des paramètres permettant de caractériser les objets étiquetés, comme par exemple la boîte englobante, la position du centre de gravité, la valeur moyenne de l'objet, etc.

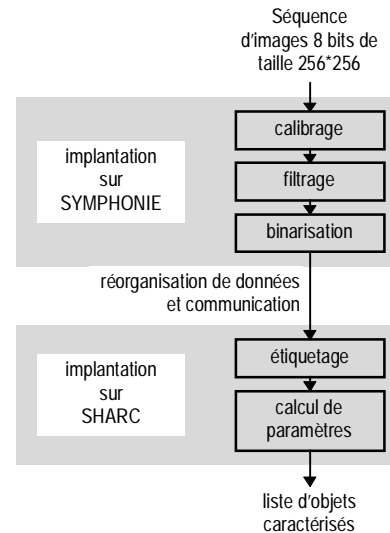


FIG.2. Chaîne de traitements implantée.

Les algorithmes de calibrage, de filtrage et de binarisation, manipulant des données pixéliques, sont exécutés sur la machine SYMPHONIE. L'étiquetage et le calcul de paramètres, manipulant des données symboliques, sont exécutés par le SHARC. Le passage des données entre les deux niveaux de l'architecture se fait par la mémoire partagée. Chaque processeur de SYMPHONIE y écrit les pixels des régions de l'image correspondant à des objets, tandis que le SHARC lit ces valeurs et construit les symboles utilisés par l'algorithme d'étiquetage. C'est la phase dite de réorganisation de données et de communication.

### 4 Performances et comparaison

étape du traitement	SHARC	SYMPHONIE	SYMPHONIE-SH
calibrage	4.9	0.8	0.8
lissage et seuil	6.6	2.1	2.1
réorganisation de données et communication	6.6	-	0.5
étiquetage	0.36	9.1	0.36
calcul de paramètres	0.06	3.0	0.06
total	18.5	15.1	3.9

TAB.1. Temps d'exécution de la caractérisation de régions sur trois machines (en ms).

Des estimations de temps d'exécution sont présentées sur le tableau 1. Elles ont été obtenues par l'utilisation des simulateurs de la machine SYMPHONIE et du SHARC. Certaines étapes du traitement peuvent encore être optimisées. Des estimations de temps d'exécution sont aussi présentées pour la machine SYMPHONIE seule et pour le SHARC seul. Ces résultats mettent en évidence le gain de temps obtenu par l'utilisation de cette architecture hétérogène pour exécuter les traitements pixéliques sur la

machine SYMPHONIE et les traitements symboliques sur le SHARC.

La conception d'architectures hétérogènes pour le traitement d'images est un problème d'actualité, la carte Genesis [10] de Matrox représentant l'une des offres récentes les plus performantes. Elle est composée d'un opérateur câblé SIMD (NOA) pour le bas niveau, et d'un DSP parallèle (C80) pour le haut niveau. En utilisant les bibliothèques optimisées, le temps d'exécution de la même chaîne algorithmique est estimé à 5,5 ms [11]. L'intérêt de SYMPHONIE-SH par rapport à Genesis réside dans une meilleure performance pour 32 processeurs SYMPHONIE, et dans les possibilités d'extension en une machine multi-SIMD, permettant de réduire encore la latence de traitement d'une image. Il est en outre possible d'utiliser un bas niveau SYMPHONIE comportant un nombre de processeurs plus important (ce qui conduit par exemple à un temps d'exécution de 0,89 ms pour 256 processeurs), ce nombre pouvant être porté au maximum à 1024.

## 5 Conclusion et perspectives

Une nouvelle architecture hétérogène, SYMPHONIE-SH, a été proposée, et une évaluation comparative de ses performances sur une chaîne typique de vision industrielle a montré un gain d'un facteur 3,9 par rapport à la machine SYMPHONIE utilisée isolément, et d'un facteur 4,7 par rapport au SHARC seul. Le gain par rapport à SYMPHONIE provient de l'utilisation d'un processeur séquentiel puissant permettant d'accélérer l'exécution des portions séquentielles de traitements identifiées par la loi d'Amdahl, comme le montre le tableau 1. Le gain par rapport au SHARC provient, lui, de l'utilisation d'un bas niveau SIMD plus performant que le SHARC pour le traitement d'images de bas niveau. L'architecture proposée s'est en outre montrée 40 % plus rapide que la carte de traitement d'images Genesis de Matrox. Deux perspectives principales prolongent ces travaux. Sur le plan algorithmique, le fait de disposer de communications bidirectionnelles entre les deux niveaux de SYMPHONIE-SH, permet d'exécuter des algorithmes comportant une rétroaction du haut niveau sur le bas niveau. Sur le plan architectural, les fonctions matérielles du SHARC prévues pour mettre en œuvre le parallélisme permettent de concevoir une architecture multi-SIMD constituée de plusieurs nœuds SYMPHONIE-SH. Les communications inter-nœuds exploitent les six liens du SHARC, et le contrôle est assuré par un SHARC maître. Les préoccupations économiques et de faisabilité industrielle sont prises en compte par l'utilisation de composants du commerce, disposant d'outils de programmation de haut niveau.

## 4 Références

- [1] D. Juvin, J.L. Basille, H. Essafi, J.Y. Latil, "*Sympati2, a 1.5D processor array for image application*", Signal processing IV : Theories and applications, North-Holland, 1988, pp.311-314.
- [2] C.C. Weems, "*Architectural requirements of image understanding with respect to parallel processing*", Proceedings of the IEEE, vol. 79, 1991, pp. 537-547.
- [3] T. Colette, C. Gamrat, D. Juvin, J.F. Larue, L. Letellier, R. Schmit, M. Viala, "*Symphonie, calculateur massivement parallèle : modélisation et réalisation*", Journées adéquation algorithme architecture en traitement du signal et images, Toulouse, jan. 1996, pp. 279-286.
- [4] D. Houzet, J.L. Basille, J.Y. Latil, "*Evaluation du multiprocesseur SIMD/MIMD GFLOPS sur des algorithmes de traitement d'images*", 13ème colloque GRETSI, Juan-les-Pins, sept. 1991, pp. 1197-1200.
- [5] J.P. Dérutin, B. Besserer, T. Tixier, A. Klikel, "*A parallel vision machine : Transvision*", Computer architecture for machine perception, Paris, déc.1991, pp. 241-251.
- [6] D.B. Shu, J.G. Nash, C.C. Weems, "*A multiple-level heterogeneous architecture for image understanding*", Tenth International Conference on Pattern Recognition (Atlantic City, NJ, juin 1990), IEEE Catalog No. 90CH2898-5, 1990, subconference D, pp. 629-634.
- [7] M.H. Sunwoo, J.K. Aggarwal, "*Vista for a general purpose computer vision system*", Tenth International Conference on Pattern Recognition (Atlantic City, NJ, juin 1990), IEEE Catalog No. 90CH2898-5, 1990, subconference D, pp. 635-641.
- [8] ADSP-2106X SHARC User's Manual, Analog Devices, First Edition, mar. 1995
- [9] M. Pic, F. Bodin, H. Essafi, "*CT++ : An Approach for a Retargetable High-Level Programming Environment for Image Processing Architecture*", proceedings of the 6th Symposium on the Frontiers of Massively Parallel Computation, Workshop on Domain Specific Systems, José Fortes, Annapolis, Maryland - USA, 1996.
- [10] Matrox Genesis PCI Image Processor, Technical brief, Matrox Imaging Products Group, 1996.
- [11] Matrox, communication personnelle.