

Architecture pour une implémentation efficace d'applications de Traitement du Signal

Laurent KWIATKOWSKI⁽¹⁾, Fernand BOERI⁽¹⁾, Jean-François DUBOC⁽²⁾

(1) Laboratoire UNSA d'Informatique Signaux Systèmes - CNRS
41, Boulevard Napoléon III - F06041 Nice cedex - Fax : 04.93.21.20.54

(2) VLSI Technology Inc., 505 routes des Lucioles - F06560 Valbonne

RESUME

Les contraintes liées aux systèmes embarqués associées à la puissance de calculs nécessitée par les applications de traitement du signal conduisent lors de l'implémentation, à l'utilisation de processeurs spécialisés en traitement du signal. Leur architecture est optimisée afin d'exécuter un nombre important d'opérations arithmétiques sur des tableaux de données et donc toutes les combinaisons d'opérations intervenant dans les applications de traitement du signal. Ainsi de nombreuses entreprises ont investi dans la technologie DSP. Nous présentons les divers types d'architecture et justifions le choix d'un cœur DSP intégrable dans une bibliothèque d'Asics. Une étude comparative permet ensuite de proposer des modifications architecturales du cœur afin de satisfaire les contraintes très sévères des applications embarquées. Notamment l'ajout d'une unité CSS de Comparaison Sélection et Stockage et l'enrichissement du jeu d'instructions, associés à la partie opérative initiale de type MAC permet d'améliorer la vitesse de traitement du cœur.

ABSTRACT

Embedded systems constraints and computation power that signal processing applications require when implemented, lead to use dedicated processor in signal processing. Their architecture is optimized in order to execute a large number of arithmetic operations on data arrays and then all operation schemes which occurred in signal processing applications. Hence, many corporations had invested in DSP technology. We present the different families of architecture and we justify the choice of one DSP core integrated on Asics library. After that, a comparative study leads to propose some core architectural modifications in order to satisfy the hard constraints required by embedded systems. Especially, the addition of one Comparison Selection Stockage CSS unit and the enrichment of the instructions set associated with the initial MAC operative part permits to increase the core processing speed.

1 Introduction

Dans le domaine du traitement du signal et en particulier dans les systèmes embarqués, les contraintes en taille de silicium, en consommation et en vitesse sont telles qu'il est impossible de réaliser une implémentation sans l'utilisation de processeurs spécialisés couramment appelés DSP (Digital Signal Processors) [1,2]. Ces processeurs disposent d'un jeu d'instructions et d'une architecture optimisés pour l'exploitation efficace et en temps réel, des traitements nombreux et répétitifs inhérents aux applications du traitement numérique du signal. Ainsi de nombreuses entreprises investissent dans cette technologie, comme Texas Instruments et ses principaux concurrents Motorola, AT&T, Analog Devices, DSP Group, Hitachi et SGS-Thomson. Les progrès réalisés dans l'intégration, les techniques de faible consommation et les outils de développement permettent de réaliser en peu de silicium un circuit capable actuellement de fournir un nombre de Mips (Millions d'Instructions Par Seconde) supérieur à 80 (DSP563xx). Parmi les processeurs disponibles, on distingue d'une part les DSP standards dédiés à un domaine d'application et d'autre part, les cœurs de DSP. Dans la première partie, nous présentons les différentes familles d'architecture ainsi que les avantages et inconvénients des deux types de processeurs. Afin de répondre aux contraintes citées précédemment, nous justifions la solution cœur de DSP intégrable dans une bibliothèque d'Asics. Dans une seconde partie, une étude comparative entre plusieurs processeurs DSP est effectuée afin d'analyser sur un ensemble de fonctions tests bien connues dans le domaine des DSP, les points forts et les limitations de chacun d'eux. Enfin la dernière partie utilise cette étude afin d'en déduire des améliorations à apporter au processeur choisi dans sa prochaine évolution.

2 Le choix du processeur

Les processeurs du traitement du signal peuvent exécuter divers types de programme, mais leur jeu d'instructions ainsi que leur architecture ont été optimisés afin de traiter en temps réel n'importe quel signal. Souvent sont utilisés des DSP attractifs, car nouveaux et performants sans avoir réellement évalué s'ils sont la meilleure réponse aux spécifications de l'application. Cependant, la réussite de l'implantation d'une application sur un DSP repose sur le choix de celui-ci au niveau de l'architecture et du degré d'intégration. Actuellement les contraintes en coût pour les produits grand public et en consommation pour les systèmes embarqués sont prises en compte dans l'élaboration des architectures de DSP. Parmi les processeurs disponibles, il est possible de choisir un DSP standard dédié à un domaine d'application ou un cœur de DSP autour duquel il faut ajouter des fonctionnalités nécessitées par l'application. On distinguera de plus trois familles d'architecture suivant le type d'applications visé. Il est alors difficile de savoir quel processeur DSP choisir, sachant que chacun possède une part d'avantages et une part d'inconvénients. Nous présentons les grandes différences entre tous ces processeurs.

2.1 Les principales architectures

Les premiers processeurs dédiés au traitement du signal DSP datent de 1981. Ils possèdent une architecture Harvard intégrant une mémoire de données et une mémoire programme afin d'augmenter la bande passante entre la mémoire et l'unité de calcul. Ils possèdent de plus une structure pipeline dans le but d'effectuer plusieurs opérations en un seul cycle. L'étude des DSP permet de distinguer plusieurs familles, chacune répondant aux besoins d'une application particulière, c'est-à-dire optimisée pour exécuter certains types de fonctions [3]. La première comprend les DSP orientés vers le filtrage RIF, la partie

opérative étant organisée autour d'un opérateur MAC (Multiplication ACcumulateur). L'instruction MAC est au cœur de nombreux algorithmes de traitement du signal, d'où la nécessité de pouvoir l'exécuter rapidement. Ainsi, ces DSP intègrent un multiplieur câblé et un additionneur capables de travailler simultanément. L'accumulateur est dimensionné sur une grande largeur de bits afin d'éviter le dépassement de capacité de l'accumulateur lors de plusieurs opération MAC successives. On peut citer, entre autres, certains DSP de Texas Instruments (TMS320C30-C40), SGS-Thomson (STI18933-STI18941), DSP Group (Pine-Oak) et de AT&T (DSP1610-DSP1616X30 Piranha-DSP32). La figure1 ci-dessous montre l'architecture orientée RIF du cœur de DSP Pine VVF3000.

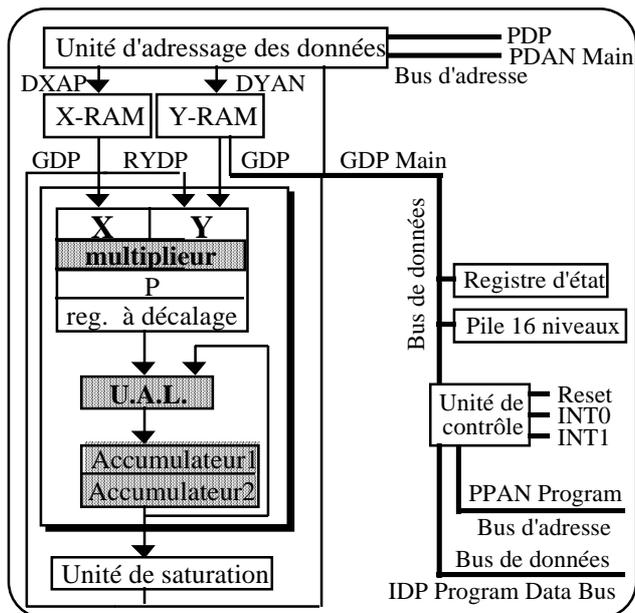


Figure n°1 : Architecture MAC orientée RIF du DSP Pine

La seconde regroupe les processeurs DSP répondant aux besoins de la Transformée de Fourier Rapide radix 2 comme les produits Motorola (MC56000-MC96002). Le noyau de leur architecture est optimisé afin d'exécuter rapidement les équations suivantes :

$$\begin{aligned}
 A'r &= A_r + (B_r \cdot W_r + B_i \cdot W_i) & (1) \\
 A'i &= A_i + (B_i \cdot W_r - B_r \cdot W_i) & (2) \\
 B'r &= A_r - (B_r \cdot W_r + B_i \cdot W_i) & (3) \\
 B'i &= A_i - (B_i \cdot W_r - B_r \cdot W_i) & (4)
 \end{aligned}$$

Une manière de déterminer les termes A'r et B'r est de calculer tout d'abord la somme des produits présente dans (1) et (3) : $(B_r \cdot W_r + B_i \cdot W_i)$ puis d'ajouter et soustraire le résultat à A_r afin d'obtenir A'r et B'r. De la même manière, on obtient A'i et B'i par ajout et soustraction de $(B_i \cdot W_r - B_r \cdot W_i)$ à A_i .

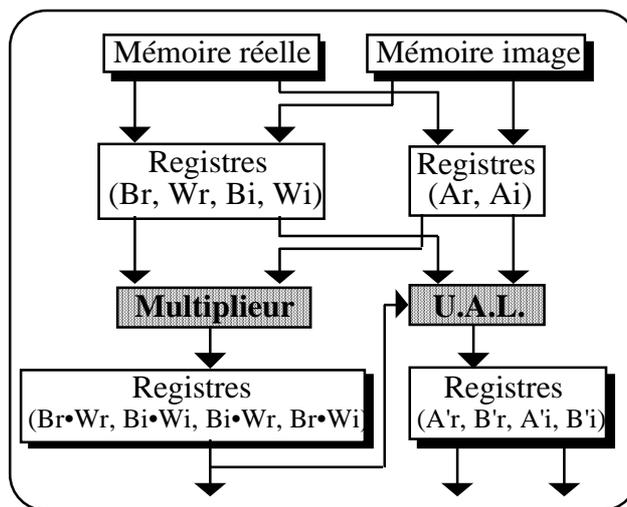


Figure n°2 : Architecture orientée FFT du Motorola 5611x

La troisième et dernière famille concerne les processeurs ayant une architecture orthogonale. Une architecture est dite orthogonale quand les chemins de données permettent de mettre en relation n'importe quel registre avec n'importe quelle unité de calcul. Ces architectures ont la particularité d'avoir un comportement presque toujours optimal sur la plupart des algorithmes rencontrés et se présente comme le montre la figure3 ci-dessous :

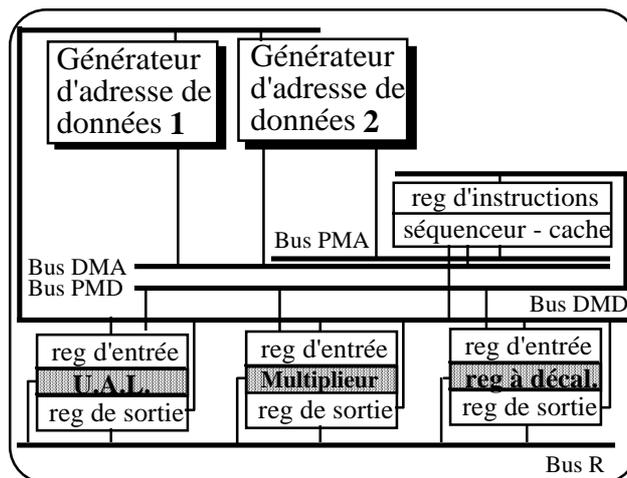


Figure n°3 : Architecture orthogonale de l'ADSP 21xx

Cette architecture est utilisée dans les processeurs d'Analog Devices (ADSP 21xx) et de Texas Instruments (Lead TMS320C54x). L'étude montre qu'il n'existe pas de DSP se comportant efficacement sur l'ensemble des applications et qu'il faut définir l'architecture de la partie opérative par rapport à son type d'application. L'exécution d'un papillon FFT radix 2 sur les trois processeurs ci-dessous montre que trop souvent liés à des classes d'algorithmes, les DSP standards peuvent présenter des écarts de performance en cycle de calcul allant du simple au double suivant la famille d'architecture.

Processeur	TMS320C30	DSP96002	ADSP21020
cycle et temps	9 (540 ns)	4 (200 ns)	4 (200 ns)

En règle générale, les processeurs qui vont chercher, pour exécuter un calcul, les opérandes directement en mémoire sans les stocker dans des registres, sont moins performants si cette donnée est utilisée plus d'une fois. De plus les DSP possédant peu de registres internes ne peuvent pas stocker tous les résultats intermédiaires (FFT double précision sur 320C50).

2.2 DSP standard ou cœur de DSP ?

Deux grands types de processeurs DSP se distinguent actuellement, se partageant le marché dans le secteur des communications : les DSP standards et les cœur de DSP. Dans le *premier cas*, l'architecture des processeurs est optimisée pour l'exécution de certains types de fonctions; celles-ci n'étant pas intégrées sur la puce. Le noyau de base correspond à une certaine puissance de traitement. Chaque circuit, par modification des périphériques, de la configuration Ram et Rom intégrée et le brochage, cible un type application. Les avantages de ces processeurs sont un haut degré de parallélisme des exécutions, l'intégration des mémoires, des fonctions de contrôle embarqué et une convivialité de programmation à l'aide d'un langage de haut niveau. Ces processeurs permettent de faire face assez facilement aux évolutions des spécifications par reprogrammation et intègrent de plus en plus les contraintes de silicium et de consommation.

Cependant les concepteurs s'intéressent fortement au *second cas*, i.e. aux cœurs de DSP car ceux-ci possèdent des architectures aussi très efficaces au niveau des parallélismes, de consommation et de fonctions de contrôle embarqué. En performances, ils rivalisent avec les DSP standards mais offrent en plus la possibilité de n'ajouter que les mémoires et périphériques requis pour une application cible, permettant d'intégrer sur le silicium le strict nécessaire et répondant ainsi plus facilement aux fortes contraintes de coût et de puissance consommée liées aux systèmes embarqués. DSP Group est spécialisé dans la conception de cœurs avec *Pine* [4] d'usage général et *Oak* plutôt dédié aux applications GSM ou modems. D'autres fondeurs ont adopté cette solution comme par exemple Texas Instruments (Lead TMS320C54x [5]), Motorola (MC56016) et SGS-Thomson (STI8932). Mais ces derniers processeurs sont bien plus des DSP dont on peut paramétrer l'environnement dans l'Asic (taille de la mémoire interne, nombre de ports, timer ...) plutôt que des cœurs de DSP. Deux types de "cœur" existent donc sur le marché : ceux exigeant que le circuit spécifique soit fabriqué par le propriétaire (Texas Instruments et SGS-Thomson) et ceux intégrables dans une bibliothèque d'Asics (DSP Group); cette dernière approche étant de plus en plus prisée, notamment chez VLSI Technology qui fournit aux concepteurs une bibliothèque intégrant *Pine*, *Oak* et toute l'infrastructure [6]. Ces cœurs de DSP utilisent souvent le *format fixe* car si un circuit à virgule flottante 32 bits est bien adapté aux applications demandant une grande dynamique de calcul, un adressage large et un codage rapide des algorithmes, le coût est onéreux. Le concepteur se tourne alors vers un système en virgule fixe 16 bits moyennant un ajustement préalable des opérands, donc une perte de performances dû à du logiciel supplémentaire.

Le cœur *Pine* de DSP Group contient les composants essentiels au traitement du signal en format 16 bits fixes dans un minimum de surface silicium. Il fonctionne avec un cycle d'instruction de 25ns sous une tension comprise entre 3 à 5 volts. Sa puissance de traitement atteint 40 Mips (identique au TMS320C5x) et la puissance typique consommée pour une configuration Asic est de 300mW, ce qui est très performant comparativement aux autres cœurs. Nous comparons les performances de *Pine* possédant une partie opérative de type MAC avec ses concurrents : le TMS320C54x de Texas Instruments et l'ADSP217x d'Analog Devices [7], possédant une partie opérative orthogonale, le DSP561xx de Motorola [8] dont l'architecture est orientée FFT.

3 Etude comparative des DSP

Les architectures internes et les jeux d'instructions étant très différents d'une famille de DSP à l'autre, la comparaison des valeurs fournies par le fabricant du DSP est délicate. Aussi la méthode utilisée consiste à programmer sur ces DSP, un ensemble de fonctions tests utilisées dans les applications de traitement numérique du signal telles que le FIR (traitement de la parole), FFT (détection et compression MPEG), la distance euclidienne connue des applications de traitements d'images et systèmes de communication (modem [9]). L'algorithme de Viterbi [10] permettant une correction d'erreurs et le codeur convolutionnel [11] sont également testés car ce sont les techniques les plus connues dans le décodage des canaux.

Bien que les DSP puissent être programmés dans un langage de haut niveau tel le C, la programmation en assembleur s'est imposée afin d'obtenir un comparatif réel. Comme les programmes traitant les signaux sont courts et qu'en assembleur le code est optimisé, le résultat prend donc le minimum de place. De plus, les outils de développement générant du code assembleur pour DSP à partir d'une modélisation dataflow de l'application (DSP Station de Mentor Graphics ou SPW de Cadence) ne permettent pas encore de fournir un code optimisé.

3.1 La distance euclidienne

La fonction distance euclidienne est utilisée en traitement d'images ainsi que dans les systèmes de communication haut débit, en particulier pour la réception des signaux. Pour les modems fonctionnant par modulation de deux porteuses en quadrature (V.29 par exemple), cette fonction calcule l'erreur entre le signal reçu et un ensemble de candidats possibles dans la constellation. Il est ainsi possible de déterminer le point le plus proche du signal reçu en amplitude et en phase afin de décoder en binaire l'information modulée transmise. L'erreur est donnée par la formule suivante :

$$e(j) = [(x_r - c_r(j))^2 + (x_i - c_i(j))^2]^{1/2} \quad (5)$$

Dans cette équation, l'erreur $e(j)$ est la distance entre le signal reçu x et le $j^{\text{ème}}$ point c de la constellation. La valeur de j pour laquelle l'erreur est minimale détermine le point associé au signal reçu. Le tableau ci-dessous illustre en fonction du DSP choisi, le nombre de cycles nécessaires à l'exécution de cette équation, N étant le nombre de données:

Processeurs DSP	nombre de cycles
Pine vvf3000	16 • N
TMS320C54x	13 + (6 • N)
ADSP217x	5 + (10 • N)
DSP561xx	34 • N

3.2 Le codeur convolutionnel

Le codage d'une séquence convolutionnelle binaire avec un taux de $1/n$, mesuré en bits par caractère, peut être vu comme une machine d'état fini possédant un registre à décalage à M étages et des additionneurs modulo 2 dont les sorties sont séquentialisées par un multiplexeur. Un message de L bits produira alors une séquence codée de $n \cdot (L + M)$ bits. Le taux de codage est alors donné par r ci-dessous :

$$r = \frac{L}{n \cdot (L + M)} \approx \frac{1}{n} \text{ car } L \gg M \quad (6)$$

Le codeur convolutionnel utilisé dans l'étude possède un registre à décalage à $n = 2$ étages entraînant un taux $r=0,5$. Le tableau suivant donne les résultats de l'implémentation de ce

codeur convolutionnel sur les différents DSP, N étant la longueur du message en nombre de bits :

Processeurs DSP	nombre de cycles
Pine vvf3000	23 • N
TMS320C54x	12 + 40 • N
ADSP217x	21 • N
DSP561xx	41 • N

3.3 L'algorithme de Viterbi

Cette algorithme a été proposé en 1967 comme une méthode efficace de décodage du code convolutionnel par choix d'un chemin dans un treilli, dont la particularité est de travailler sur un nombre constant 2^M de bits. Considérons le treilli de la figure4 pour un code convolutionnel muni d'un registre à décalage à quatre étages et $r = 0,5$.

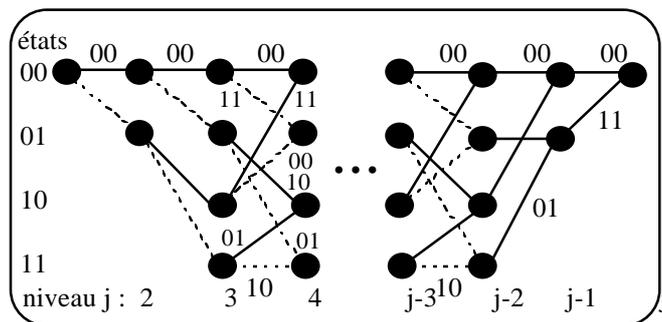


Figure n°4 : Treilli pour un registre à décalage à quatre étages

A partir du troisième niveau le même motif appelé "papillon" apparaît jusqu'au niveau j-3, où deux chemins entrent dans chacun des quatre nœuds du graphe. L'algorithme attribut à chaque chemin d'un nœud, la distance de Hamming entre le code binaire associé et la séquence binaire reçu puis ne conserve que le chemin ayant la distance le plus faible. Ainsi quatre chemins sont éliminés par papillon. Cette opération est itérée jusqu'au niveau j tel que $M^2 j^2 L$ pour obtenir le chemin qu'il faut suivre pour décoder l'information. La tableau suivant compare l'implémentation d'un papillon et d'un treilli, N étant le nombre d'entrées :

Processeurs DSP	papillon	treilli
Pine vvf3000	67	$20N + (67 + 12) \cdot N$
TMS320C54x	60	$16 + (60 + 2) \cdot N$
ADSP217x	52	$15 + (60 + 5) \cdot N$
DSP561xx	98	$6 + (98 + 3) \cdot N$

4 Résultats

Le tableau ci-dessous donne les résultats de la FFT 256 points, la machine d'états finis FSM, le RII et le RIF LMS trouvés dans le BDT Berkeley Design Technology benchmark, où T est l'ordre du filtre RIF et B le nombre de biquads RII.

Processeurs DSP	FFT256	FSM	RII	RIF
Pine vvf3000	19405	290	6+8B	11+5T
TMS320C54x	13234	455	4+5B	10+3T
ADSP217x	11914	198	3+5B	11+3T
DSP561xx	12148	375	5+5B	16+3T

Il en ressort que le DSP dont la partie opérative est orientée FFT (Motorola DSP561xx) ne fournit pas de résultat concluant à cause d'instructions nécessitant toujours au moins deux cycles. De plus, les changements de contexte ou branchements sont pénalisants (au moins 4 cycles). Le FSM (Finite

State Machine) ou machine d'états finis permet, par des traitements de décision et de contrôle, de tester l'utilisation de la mémoire. Il en découle une efficacité particulière des processeurs de DSP Group comme le montre le tableau :

Processeur	Pine	320C54x	217x	561xx
nbre d'octets	84	128	122	104

Les architectures orthogonales sont assez efficaces quel que soit le type d'applications, en particulier le *Lead* possédant huit bus et deux générateurs d'adresses (programme et données) fournit un parallélisme élevé (exécution d'instructions à trois opérandes) et un accès réduit à la mémoire de données. L'architecture possède un module MAC pouvant fonctionner en parallèle avec une UAL (CALU pour Computing and Arithmetic Logic Unit). L'unité CSS (Comparison Selection and Stockage) dédiée à l'instruction "cmps" accélère le traitement de l'algorithme de Viterbi. L'intégration de deux accumulateurs de 40 bits permet également d'exécuter en un cycle le traitement d'instructions puissantes comme la distance euclidienne ou le carré. Cependant, les six niveaux de pipeline sont très pénalisants lors des changements de contexte ou des branchements (5 cycles) et malgré l'instruction "cmps" en deux cycles, le "dadd" s'effectue en trois cycles.

5 Conclusion

Pine dispose d'un pipeline d'instructions à trois étages utilisant trois unités d'exécution fonctionnant en parallèle : l'unité de calcul, de contrôle des adresses du programme et l'unité arithmétique des adresses de données. L'architecture, de type Harvard, possède des mémoires séparées pour les données (deux blocs X et Y indépendants dont l'accès par l'unité de calcul est simultané) et le programme, avec des bus dédiés. Cette architecture "cœur de DSP" permet de répondre aux fortes contraintes de taille silicium, puissance consommée et de coût. Cependant, elle doit être enrichie d'une unité CCS ainsi que des instructions "cmps" du Lead, "push", "pop" et "bit test" du Oak afin d'accélérer de manière significative le traitement des applications de traitement du signal.

6 Références

- [1] Alain Demeure : "Architectures adaptées au traitement du signal", ENST de Paris, 1992.
- [2] M. Ahmed Hassan, Richard B. Kline : "Recent advances in DSP systems"; IEEE Comm Mag, pages 32-45, may 1991.
- [3] Jean-François Duboc : "Spécification et modélisation d'un cœur de processeur de traitement du signal"; thèse de doctorat, soutenue le 26 novembre 1993 à l'UNSA.
- [4] DSP Group : "Pine vvf3000 User's Manuel"; 1993.
- [5] Texas Instruments : "TMS320C54x User's Manuel"; 1995.
- [6] Herman Henskens : "Cost Effective implementation of a MPEG audio decoder algorithm on the OakDSP core"; DSP96, Paris, 1996.
- [7] Analog Devices : "2100 Applications Handbook"; 1989.
- [8] Motorola : "DSP 56116 User's Manuel"; 1991.
- [9] Michel Stein : "les modems pour la transmission de données"; collection Technique et scientifique des télécommunications, pages 247-278, 1991.
- [10] David Forney : "The Viterbi algorithm"; IEEE procee-dings, Vol 61, N°3, march 1973.
- [11] Simon Haykin : "Digital communications"; Edition Wiley, pages 393-434, 1988.