

CC33 : UN CIRCUIT CASCADABLE POUR LE FILTRAGE  
LOCAL D'IMAGE EN TEMPS REEL

Marc BELLEVILLE, Sylvette BISOTTO, Jean-Paul BOUYOUD  
Bernard CHABERT, Philippe GARDERET, Claudine JAFFARD

Division d'Electronique, de Technologie et d'Instrumentation  
C.E.A. - C.E.N.G. BP 85 X 38041 GRENOBLE-CEDEX

## RESUME

On présente un circuit constituant l'opérateur de base d'une architecture modulaire.

Le cahier des charges de l'opérateur de base a été établi en tenant compte de la technologie utilisée et des performances souhaitées. Ces critères ont conduit à la réalisation d'un circuit VLSI : Convolueur Bidimensionnel 3x3 Cascadable CC33. Ce circuit est un opérateur rapide étudié pour traiter des images numériques à une vitesse compatible avec la cadence vidéo. Il effectue le produit de convolution d'une image par une fenêtre carrée de 9 coefficients dynamiquement programmables. Les pixels de l'image origine sont codés sur 4 bits, les coefficients sur 8 bits et les résultats sur 16 bits. Chaque ligne peut comporter 256 ou 384 échantillons. Les lignes nécessaires au calcul sont mémorisées dans le circuit pour éviter l'adjonction de mémoires externes. Les fréquences maxima de l'horloge d'acquisition des pixels et de l'horloge calcul sont de 30 Mhz.

Le circuit CC33 est réalisé en technologie HCMOS3 1,3  $\mu$ m. Il comporte environ 150.000 transistors pour une surface voisine de 45 mm<sup>2</sup>. Il est encapsulé dans un boîtier de 68 pattes.

## 1 - DESCRIPTION GENERALE

Le Convolueur Bidimensionnel 3x3 Cascadable CC33 est un opérateur rapide étudié pour traiter des images numériques à une vitesse compatible avec la cadence vidéo, chaque ligne pouvant comporter 256 ou 384 échantillons. Il effectue le produit de convolution d'une image par une fenêtre carrée de 9 coefficients dynamiquement programmables. Les pixels de l'image origine sont codés sur 4 bits, les coefficients sur 8 bits et les résultats sur 16 bits. Les lignes nécessaires au calcul sont mémorisées dans le circuit pour éviter l'adjonction de mémoires externes. L'acquisition de chaque ligne est indépendante de la phase de calcul afin de permettre des acquisitions plus rapides (extension de type 2).

Le circuit est cascadable suivant les quatre types d'extension suivants :

- Type 1 : signal d'entrée codé sur plus de 4 bits
- Type 2 : image comportant plus de 384 pixels/ligne
- Type 3 : fenêtre de convolution de taille supérieure à 3x3
- Type 4 : itérations de convolutions 3x3.

Le circuit possède en outre un additionneur 4 bits afin de minimiser l'adjonction de circuits externes pour ces différentes extensions. Le mélange de ces 4 types d'extension est également possible.

## SUMMARY

We present a circuit which is the basic operator of a modular architecture.

The specifications of this operator were established in considering the chosen technologies and the targeted features. These criterions led to the design of a VLSI circuit : a cascadable 3x3 2-D convolver called CC33. This circuit is a fast operator designed to process digital video images at the video rate. It makes the convolution of an image using a square window of 9 dynamically programmable coefficients. The pixels of the initial image are 4 bit coded, the kernel coefficients 8 bit coded and the result 16 bit coded. Each image row can have 256 or 384 samples. The rows necessary to the operation are stored inside the circuit to avoid external memories. The maximum clock rates for pixel capture and for image convolution are 30 Mhz.

The CC33 circuit is manufactured with 1.3  $\mu$ m HCMOS3 technology. Its design has about 150,000 devices on an 45 mm<sup>2</sup> die. It is packaged in a 68 pin LCC package.

## 2 - CHOIX DES SPECIFICATIONS

L'objectif était de réaliser un circuit permettant de calculer, à la cadence vidéo, le produit de convolution d'une image numérisée par une fenêtre de  $n \times n$  coefficients programmables. La nécessité d'accéder  $n$  fois à chaque pixel, et afin d'éviter l'adjonction de mémoires externes au circuit, le choix s'est porté sur l'intégration de la mémoire permettant le stockage des lignes nécessaires au calcul.

La taille 3x3 du noyau de convolution a été choisie pour limiter la complexité de l'opérateur de convolution et pour limiter le nombre de lignes à mémoriser. Le nombre de bits du codage des données et le nombre de pixels par ligne sont une contrainte importante dans la surface de la puce, d'où le choix de réaliser un circuit acceptant des données codées sur 4 bits.

Un nombre d'échantillons de 512 aurait été idéal du point de vue de l'utilisation du convolueur, mais cela conduisait à une dimension de puce trop grande et à un opérateur capable d'effectuer le produit de convolution en 100 ns. Le choix s'est finalement fait sur des lignes de 256 ou 384 pixels conduisant à un opérateur travaillant en 135 ns environ.

Toutes ces limitations au niveau du circuit de base ont impliqué une étude de cascabilité du circuit pour permettre des extensions en dynamique d'entrée, en taille de ligne et en taille de fenêtre de convolution. Pour permettre ces trois types d'extension sans adjonction de circuits externes, les signaux de commande du circuit en cascade sont générés par le circuit qui le précède, l'accumulation des résultats partiels est assurée par un additionneur prévu dans le circuit.



Ce composant peut être utilisé en ligne sur la vidéo numérique, mais il peut également être utilisé comme accélérateur de calcul dans un système programmé. Pour cela une logique statique a été choisie, ce qui permet d'utiliser une horloge d'acquisition des pixels et une horloge de calcul de fréquences quelconques inférieures ou égales à 30 Mhz.

### 3 - DESCRIPTION FONCTIONNELLE

La figure 1 représente un schéma bloc fonctionnel du circuit CC33. Il est essentiellement constitué d'un Registre Acquisition contrôlé par un Séquenceur Acquisition, d'un Registre Calcul pour mémoriser les lignes nécessaires au calcul, d'un Opérateur de Convolution, d'un Registre coefficients, ces trois derniers modules constituent la partie opérative principale du convolveur contrôlée par le Séquenceur Calcul. Le circuit comporte également un Registre de Sortie, un Registre Commande et un Additionneur 4 bits.

Le Registre Acquisition est constitué d'un registre à décalage de 386x4 bits. L'entrée série des données, EDO-3, peut s'effectuer en deux endroits du registre à décalage qui correspondent à 256 ou 384 points par ligne. Il est également pourvu d'une sortie parallèle vers le Registre Calcul.

Le Séquenceur Acquisition reçoit l'horloge HD d'acquisition des données, les signaux de synchronisation ligne et trame (SYLI et SYTR), et les signaux EVDI et EVDP qui valident l'acquisition des données en tenant compte des pixels de bords de l'image. Il fournit un signal de validation de données image SVDI2 pour l'extension de type 2 et un signal de validation de données image SVDI3 pour l'extension de type 3.

Le Registre Calcul est conçu pour mémoriser 3 lignes de 256 ou 384 pixels plus 2 pixels supplémentaires par ligne pour tenir compte des effets de bord dus au filtre 3x3. Il est constitué de 3 registres à décalage de 386x4 bits (ou 258x4 bits), avec entrées/sorties série, dont le 1er est à chargement parallèle. On peut utiliser l'entrée EDO-3 en mode série dans l'extension de type 3, avec la sortie SSD0-3. Chacun des 3 registres comporte en outre une sortie parallèle de 12 bits afin de présenter les 3 derniers échantillons de chaque registre (les 3 premiers échantillons de 3 lignes consécutives) à l'Opérateur de Convolution.

L'Opérateur de Convolution calcule  $\sum_{i=1}^3 \sum_{j=1}^3 (P_{ij} \times C_{ij})$   $i=1$  à 3,  $j=1$  à 3 où  $P_{ij}$  représentent les 9 pixels de l'image correspondant à une position donnée de la fenêtre de convolution et  $C_{ij}$  les coefficients de cette fenêtre. Les nombres  $P_{ij}$  peuvent être codés en module sur 4 bits pour des données positives ou en complément à deux pour des données signées. Le résultat obtenu est codé en complément à deux sur 16 bits. L'Opérateur de Convolution travaille en mode pipe-line, il effectue les multiplications par la méthode de Booth modifiée. A chaque période de l'horloge H, il fournit 4 bits du résultats sur la sortie SSR0-3. Les quatre bits de poids faibles sont fournis en premier, le signal PF permet de les identifier.

L'Additionneur 4 bits réalise l'addition d'un mot de 4 bits présent sur l'entrée E1A0-3 avec un mot de 4 bits présent au même instant sur l'entrée E2A0-3 ou entré précédemment. L'Additionneur 4 bits permet d'additionner deux mots de 16 bits en quatre périodes de l'horloge de calcul. Le signal EPF identifie les quatre bits de poids faibles sur l'entrée E1A0-3. Le signal SPF identifie les quatre bits de poids faibles sur la sortie SA0-3. L'Additionneur 4 bits est utilisé pour les différents types d'extension.

Le Registre de Sortie est utilisé, suivant la configuration choisie :

- Soit pour sortie les quatre bits du résultat de l'Additionneur 4 bits sur SA0-3 à chaque période de l'horloge H. Les poids faibles sont identifiés par le signal SPF.
- Soit pour sortir les 16 bits du résultat en parallèle sur SPRO-15 toutes les quatre périodes de l'horloge H. Ce résultat parallèle peut provenir de l'Opérateur de Convolution ou de l'Additionneur 4 bits, il est validé par le signal DP.

Le Séquenceur Calcul reçoit les signaux INI/ et H (horloge de calcul). Il reçoit du Séquenceur Acquisition des signaux de synchronisation et génère les signaux de synchronisation trame SSTR et ligne SSLI vers l'extérieur. Il reçoit également le signal EPF et génère les signaux PF et SPF/DP.

Les Registres Coefficients et Commande reçoivent d'une part les 9 coefficients  $C_{ij}$  qui interviennent dans le calcul de la convolution, d'autre part les trois mots de commande qui permettent de configurer le circuit : longueur des lignes, taille de la fenêtre de convolution, valeur par défaut des pixels de bord de l'image, utilisation du registre de sortie, configuration de l'Additionneur 4 bits. Ils sont programmables par le port d'entrée ECO-7 et l'horloge HC. En cours de calcul, chaque coefficient est chargé dans un registre à décalage 9 bits dont trois bits sont envoyés à l'Opérateur de Convolution.

### 4 - UTILISATION DU CIRCUIT CC33

#### 4.1. Fonctionnement autonome

Le circuit CC3 est utilisé seul. Il permet d'appliquer un filtrage par une fenêtre 3x3 à une image numérique de 256 ou 384 pixels par ligne, chacun des pixels étant codé sur 4 bits maximum. La figure 2 montre les signaux utilisés. Dans ce cas, l'Additionneur 4 bits n'est pas utilisé, le circuit est configuré pour une fenêtre 3x3, le Registre de Sortie est configuré pour fournir le résultat sur la sortie parallèle SPRO-15.

#### 4.2. Extension de type 1

Signal d'entrée codé sur plus de 4 bits.

Exemple : 8 bits

On utilise deux circuits suivant le montage de la figure 3. Le circuit 1 traite les 4 bits de poids faibles des données d'entrée, considérées comme non signées. Le circuit 2 traite les 4 bits de poids forts des données d'entrée (signées ou non signées). On utilise ensuite les sorties SSR0-3 de chacun des deux circuits que l'on relie aux entrées d'un Additionneur 4 bits (celui du circuit 2 dans la figure) en prenant soin de relier la sortie SSR0-3 du circuit 1 à l'entrée E1A0-3 de l'additionneur, et la sortie SSR0-3 du circuit 2 à l'entrée E2A0-3, et de configurer l'additionneur pour un fonctionnement de type 1.

#### 4.3. Extension de type 2

Image comportant plus de 384 pixels par ligne.

Les lignes comportent  $k \times 256$  ou  $k \times 384$  pixels.

Exemple :  $k=2$ .

On utilise deux circuits suivant le montage de la figure 4. Les circuits 1 et 2 fonctionnent en acquisition. Le signal SVD12 de validation de l'acquisition pour le circuit 2 est retardée de 256 (ou 384) pixels. Le circuit 1 traite la 1/2 image de gauche et le circuit 2, la 1/2 image de droite.

#### 4.4. Extension de type 3

Fenêtre de convolution de taille supérieure à  $3 \times 3$ .

On utilise un réseau de circuits permettant d'étendre la fenêtre de convolution en nombre de lignes et nombre de colonnes. Pour une fenêtre de taille  $L \times P$  ( $L$  lignes de  $P$  coefficients) il faudra  $\lfloor (L-1)/3 \rfloor + 1$  circuits par colonne du réseau et  $\lfloor (P-1)/3 \rfloor + 1$  circuits par ligne du réseau, où  $|x|$  signifie valeur entière de  $x$ .

Exemple : fenêtre  $7 \times 7$  ou  $9 \times 9$

On utilise un réseau de 9 circuits suivant le montage de la figure 5. Les circuits 1 à 3 fonctionnent dans le mode acquisition. Les circuits 4 à 9 fonctionnent dans le mode entrée série. La sortie série SSRO-3 de chacun des 9 circuits fournit un résultat partiel de 4 bits de poids identiques. Ces 9 résultats partiels repérés RO1 à RO9 sont additionnés deux à deux, en 4 étages, dans les additionneurs 4 bits.

### 5 - CHOIX TECHNOLOGIQUES DE CONCEPTION ET D'IMPLANTATION

Nous avons choisi d'utiliser une technologie dense et rapide (HCMOS3 LETI-THOMSON  $1,3 \mu\text{m}$ ) car celle-ci nous permet de tenir les spécifications énumérées au §2.

L'ensemble de mémorisation des lignes a été conçu de façon traditionnelle en utilisant des registres à décalages. Un soin particulier a été porté à l'implantation, ce bloc très répétitif représentant un pourcentage important de la surface totale du circuit.

Pour la partie opérative et les organes de séquençement, nous avons retenu une structure pipe-line, fonctionnant à 30 Mhz et fournissant un résultat tous les 4 coups d'horloge. Compte tenu de la technologie retenue, c'est le meilleur compromis densité-performance.

Tous ces éléments utilisent la technique du domino CMOS différentiel qui présente deux avantages principaux :

- Elle n'utilise que des transistors de type N pour le calcul des fonctions combinatoires (meilleur compromis vitesse-densité)
- Pour des ensembles à faible taux de répétitivité, elle permet une implantation rapide de nouvelles fonctions. Chaque fonction élémentaire a un encombrement physique normalisé (seule la hauteur est variable), ce qui autorise ensuite des techniques d'assemblage de type précaractérisés.

A cause de la complexité du circuit, nous avons fait tout particulièrement attention aux problèmes de testabilité. Des modes tests ont été introduits qui utilisent les trois types d'action suivants :

- Décomposition en sous-fonctions isolées les unes des autres
- Coupure des asynchronismes internes,
- Introduction systématique d'éléments LSSD. Cette technique permet de reconfigurer une fonction en registres à décalage qui donnent la possibilité d'introduire dans le circuit des vecteurs de test, puis d'en sortir les résultats.

Ce circuit comporte environ 150.000 transistors. La puce a une surface voisine de  $45 \text{ mm}^2$ . La partie mémorisation qui comporte environ 110.000 transistors occupe une surface de  $22 \text{ mm}^2$ . Le circuit est encapsulé dans un boîtier LCC de 68 pattes.

#### BIBLIOGRAPHIE

MEAD and CONWAY - Introduction aux systèmes VLSI

3. CHABERT - Procédé de traitement de signaux numérisés représentatifs d'une image origine.  
Demande de brevet N° E.N. 85 08739 du 10.06.85.

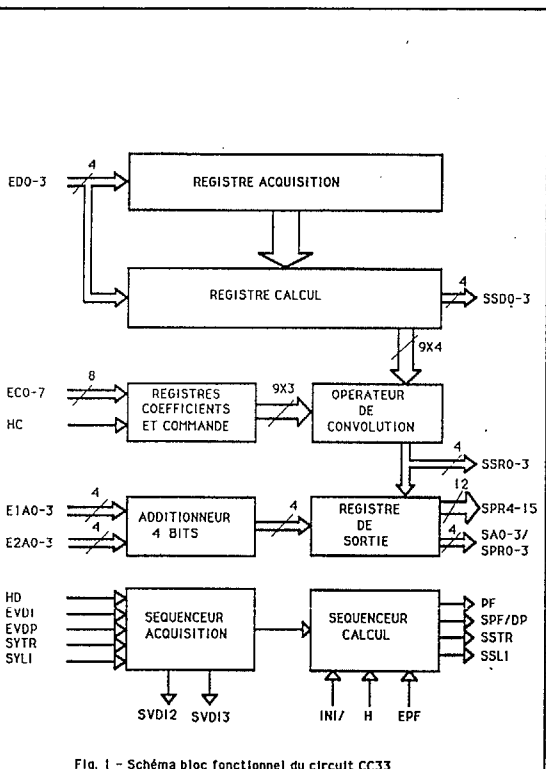


Fig. 1 - Schéma bloc fonctionnel du circuit CC33

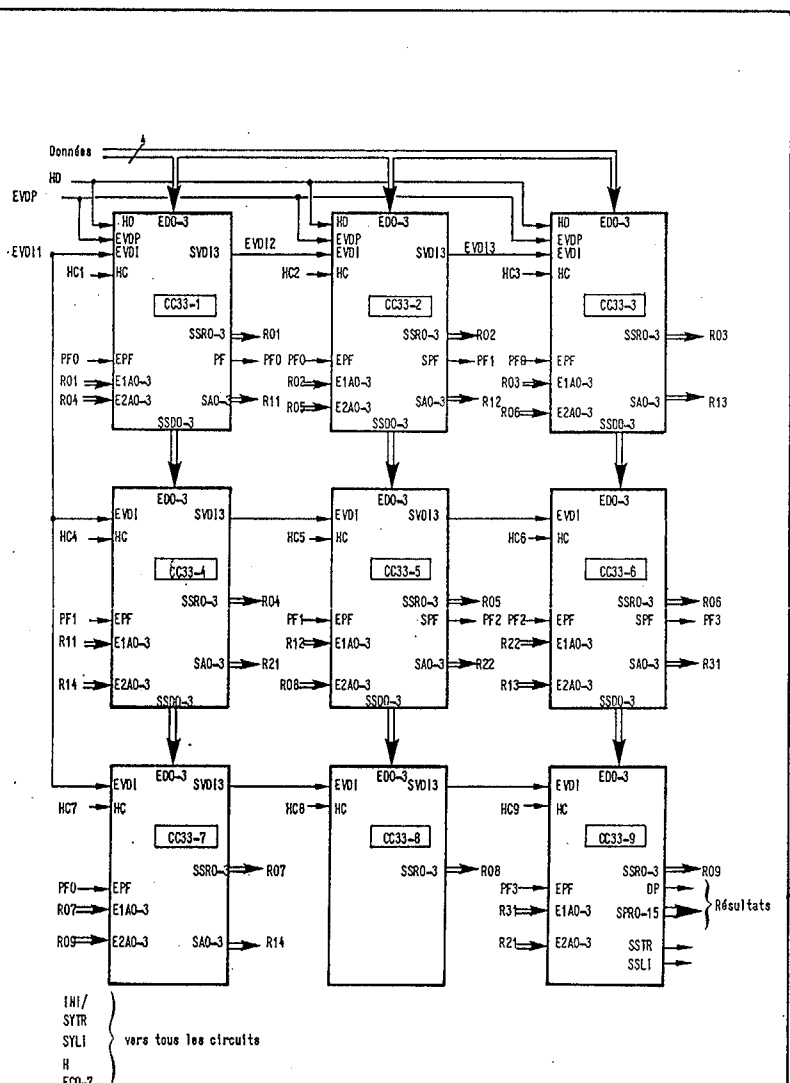


Fig. 5 - EXTENSION DE TYPE 3 - Ex: FENETRE 7x7 ou 9x9

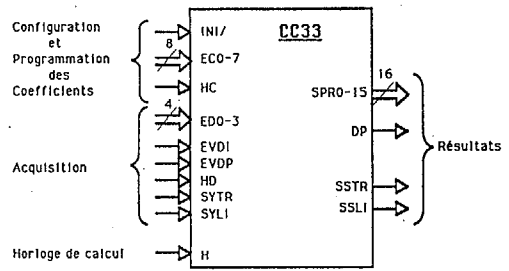


Fig. 2 - Utilisation en fonctionnement autonome

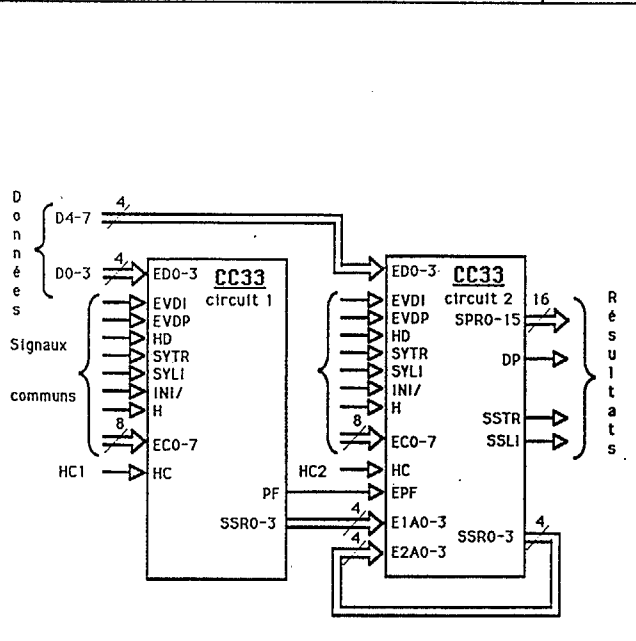


Fig. 3 - Extension de type 1 : données sur 8 bits

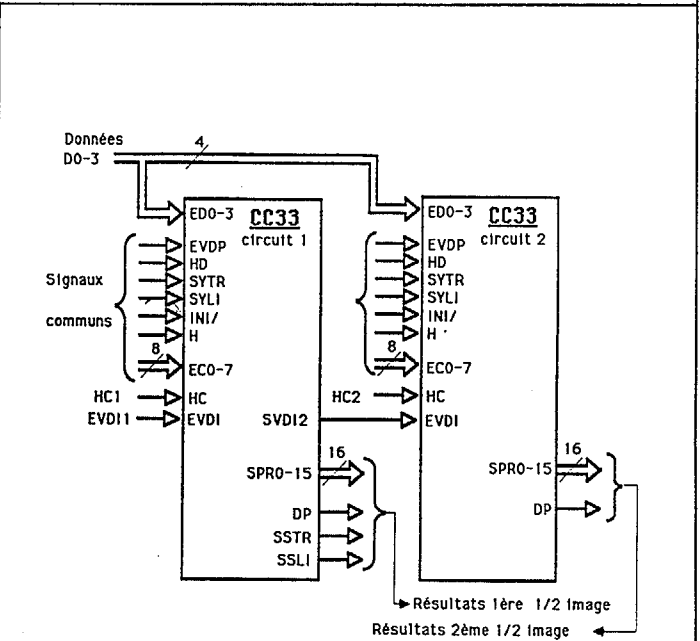


Fig. 4 - Extension de type 2