

# HUITIEME COLLOQUE SUR LE TRAITEMENT DU SIGNAL ET SES APPLICATIONS

NICE du 1<sup>er</sup> au 5 JUIN 1981

MEMOIRE D'INFORMATIONS LATENTES  
ET SYSTEME DE TRAITEMENT MULTIPROCESSEUR

J. GONDOLO, M. ARTAUD, A. BODENAN, C. BOZZO  
C. GLEIZAL, B. SANCHEZ (CAPCA-DCAN TOULON)  
A. FRAYSSE (Sté Digitone) JC. MARCELLET (Sté IEE)

DCAN TOULON - CENTRE D'ANALYSE DE SYSTEMES, DE PROGRAMMATION ET DE CALCUL (CAPCA)  
CEPCA - LES OURSINIÈRES - 83220 - LE PRADET

## RESUME

## SUMMARY

On présente un système de traitement multiprocesseur développé par le Centre d'Analyse de Systèmes (CAPCA) pour des besoins de traitement du signal en temps réel (dispositif à large bande effectuant de la veille passive).

Le but visé est l'obtention d'une puissance de traitement importante et modulaire (puissance équivalente à celle obtenue par quelques dizaines de miniordinateurs) sous un encombrement réduit (3 à 4 baies).

Les opérations à exécuter peuvent être répétitives ou quelconques.

La structure développée est conçue pour traiter de façon efficace des données délivrées par un analyseur de spectre fonctionnant en temps réel. Elle est également bien adaptée au traitement des images.

Le système est organisé autour d'une mémoire d'information latente (MIL) à adressage tridimensionnel paginé à laquelle accèdent des processeurs d'entrée et de sortie, de traitement et de maintenance. Les moyens de traitement utilisés sont :

- La machine 1 de THOMSON/DRS mettant en oeuvre les composants de la série 2900,
- Un processeur développé par le CAPCA mettant en oeuvre le microprocesseur MOTOROLA 68000,
- Un processeur mettant en oeuvre le microprocesseur TEXAS 9900 utilisé dans la phase maquette.

On décrit :

- Les principes de fonctionnement,
- L'organisation système,
- Les éléments matériels principaux,
- Les logiciels de développement et d'aide à la mise au point,
- Les logiciels de test et de localisation d'avarie.

On introduit des notions nouvelles et originales concernant la standardisation des bus internes aux processeurs (bus 16 bits standardisé compatible avec les microprocesseurs 16 bits monolithiques), l'architecture des mémoires d'informations latentes, l'utilisation des microprocesseurs MOTOROLA 68000 et TEXAS 9900, la standardisation fonctionnelle des cartes, etc...

The system described therein is a multiprocessing system developed by the "Centre d'Analyse de Systèmes (CAPCA)" "(Center for Systems Analysis)" to meet real-time processing requirements (broadband device performing passive searching).

The object to be aimed at is to obtain an important and modular processing capability (equivalent to that offered by ten minicomputers or so) in a very compact equipment (3 to 4 racks).

Operations to be carried out can either be repetitive operations or some other sort of operations.

The developed structure is designed to efficiently process data provided by a spectrum analyzer operating in real time. Such a structure is also quite suitable for image processing.

The system is organized around a latent information memory (MIL) with paged three-dimensional addressing which is accessible to input and output processors, to processing units and to maintenance processors. Data processing means are as follows :

- THOMSON/DRS machine 1 utilizing components of the 2900 series,
- A processor developed by the CAPCA and utilizing the MOTOROLA processor 68000,
- A processor utilizing the TEXAS microprocessor 9900 in the model phase.

Herein are described :

- The principles of operation,
- The system organization,
- The main equipment items,
- The development and adjustment helping software,
- The test and fault isolation software.

New and original concepts are introduced regarding the standardization of buses inside processors (standardized 16 bits bus compatible with monolithic 16 bits microprocessors), the architecture of latent information memories, the use of MOTOROLA 68000 and TEXAS 9900 microprocessors, the functional standardization of cards, etc...



MEMOIRE D'INFORMATIONS LATENTES  
ET SYSTEME DE TRAITEMENT MULTIPROCESSEUR

### 1. - FONCTIONNEMENT DE L'UNITE DE TRAITEMENT MULTIPROCESSEUR (UTMP)

L'UTMP a été étudiée et est développée par le GESTA/CAPCA - DCAN de Toulon - dans le but de permettre l'exécution en temps réel de traitements s'appliquant à des signaux délivrés par un système d'analyse spectrale relatif à la veille passive en large bande dans le domaine des transmissions. Ce dispositif pourrait être facilement adapté à la veille dans le domaine du sonar ou au traitement des images en général.

L'organisation de l'UTMP permet :

- l'acquisition, la gestion et la restitution éventuelle des informations élaborées par l'analyseur de spectre.

La mémoire d'informations latentes (MIL) à adressage tridimensionnel paginé développée permet de simplifier considérablement ces opérations.

- Le traitement des données disponibles dans la MIL ainsi que l'élaboration des résultats..

Des processeurs (Machine 1 THOMSON/CSF/DRS utilisant la série AMD 2900 - processeur utilisant le "68000" développé par le CAPCA) accèdent à la mémoire MIL et dialoguent par l'intermédiaire d'une mémoire commune d'échange (ME).

#### 1.1. - Intégration de l'UTMP dans un système de veille

La figure 1 ci-après, illustre dans le cas général, la place tenue par l'UTMP dans un système de veille. La majorité des algorithmes de détection et d'extraction s'y exécutent en temps réel grâce à l'association de moyens de traitement puissants à une architecture adaptée.

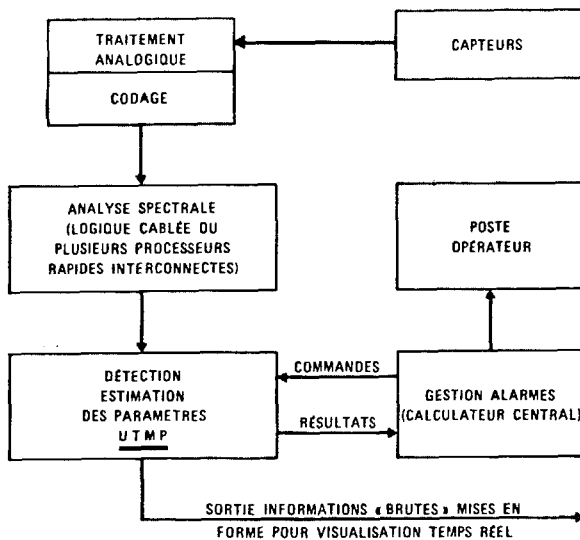


Figure 1 : INTEGRATION DE L'UTMP DANS UN SYSTEME DE VEILLE

#### 1.2. - Principe de fonctionnement de l'UTMP

La figure 2 ci-après illustre le principe de fonctionnement de l'UTMP.

La MIL possède une organisation tridimensionnelle.

- l'axe Fréquence (F1 à Fn) correspond à l'adressage des raies spectrales.
- l'axe Echantillon (E1 à En) correspond à l'adressage des échantillons de spectres rangés successivement dans la mémoire.
- l'axe tranche permet de sélectionner un mot de 16 bits ou un octet dans une profondeur totale de 4 octets.

Les spectres instantanés élaborés en amont de l'UTMP sont acquis par un processeur d'entrée et rangés dans la MIL.

A l'arrivée d'un nouveau spectre, tout se passe (vu des processeurs) comme si tous les spectres rangés précédemment étaient décalés d'un échantillon, le plus ancien étant chassé de la mémoire.

Ce processus permet de définir simplement des traitements venant accéder de façon aléatoire ou non aux n derniers échantillons spectraux acquis.

Pour simplifier le dispositif, aucun échange direct d'information entre processeurs n'est autorisé par la structure. Un ou plusieurs octets de la MIL peuvent être utilisés pour permettre l'échange "d'indicateurs" (résultats sommaires liés aux données spectrales brutes).

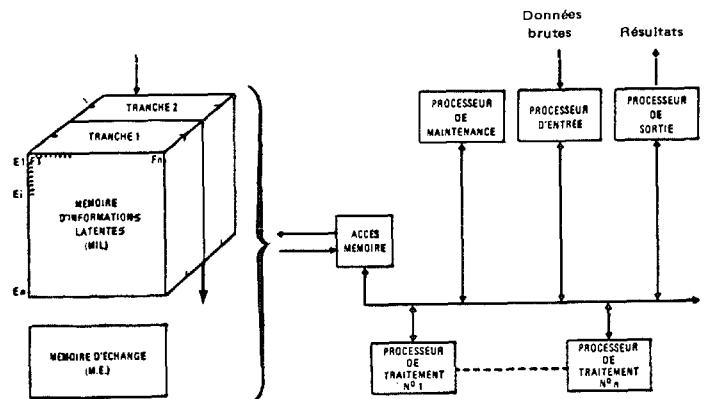


FIGURE 2 : ORGANISATION DE PRINCIPLE DE L'UTMP entre les divers processus de traitement. De plus, une mémoire d'échange (ME) permet la configuration de tableaux de données à échanger entre les divers processus. Une pagination de la mémoire permet :

- la sélection de la MIL ou de la ME dans la mémoire physique,
- le découpage de la MIL et de la ME en zones correspondant par exemple à des bandes spectrales d'analyse différentes ; le processus de pseudo-décalage dans la MIL décrit précédemment se déroulant alors de façon indépendante dans chaque zone.

### 2. - ORGANISATION MATERIELLE DE L'UTMP.

La structure matérielle comprend trois sous ensembles de base permettant de constituer des UTMP de puissances de traitement et d'échange variables en fonction des applications, ce sont :

- Le concentrateur
- Le bloc mémoire
- Le sélecteur

Les liaisons à l'intérieur de ces sous ensembles et entre eux suivent la norme CEN-LIPS (cartes électroniques normalisées - liaison interne parallèle standardisée). Cette solution permet d'envisager :

- des interconnexions internes et externes avec d'autres systèmes, très simples
- la mise en oeuvre ultérieure dans l'UTMP de dispositifs développés par ailleurs
- la réutilisation dans d'autres systèmes de cartes développées pour l'UTMP.

MEMOIRE D'INFORMATIONS LATENTES  
ET SYSTEME DE TRAITEMENT MULTIPROCESSEUR

2.1. - Eléments de base

La figure 3 ci-après décrit l'organisation des sous ensembles de base

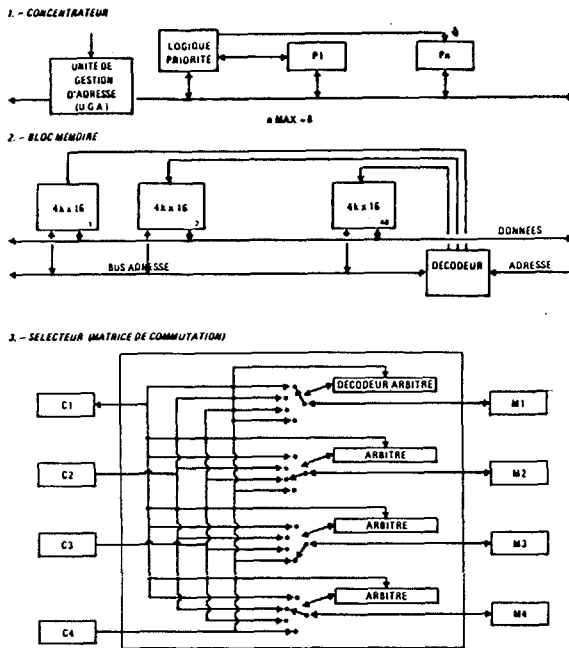


Figure 3 : LES ELEMENTS DE BASE DE L'UTMP

- Le concentrateur a pour rôle d'assurer la gestion des échanges initialisés par les processeurs. Une logique de priorité centralisée assure l'allocation du bus unique de communication aux processeurs.

Les processeurs peuvent être de type quelconque en nombre de l'ordre de 4 à 8 suivant leur puissance.

L'unité de gestion des adresses (UGA) assure le traitement du champ d'adresse Echantillon de façon à créer le pseudo décalage à l'intérieur de chaque zone de la MIL, ainsi que la concaténation des divers champs d'adresse.

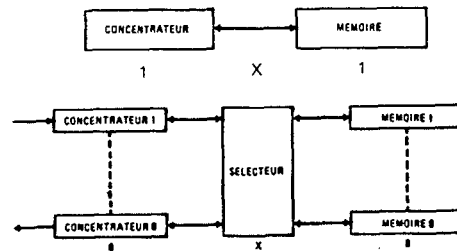
- Le bloc mémoire constitue la partie physique de la MIL et de la ME.

- Le sélecteur assure dans l'hypothèse du couplage de plusieurs concentrateurs à plusieurs blocs mémoire la connexion dynamique, en fonction des priorités, des bus en sortie des concentrateurs aux bus en entrée des blocs mémoire. La figure 3 illustre pour le sélecteur, la connexion de 4 concentrateurs à 4 blocs mémoire.

2.2. - Configurations types

La figure 4 ci-après donne la description de quelques configurations. Un premier niveau consiste à associer un concentrateur et un bloc mémoire.

Association parallèle



Association série

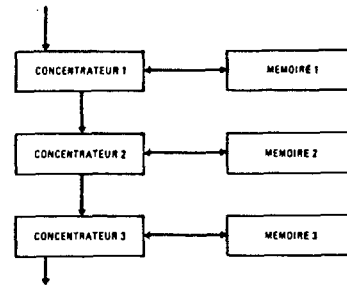


Figure 4 : CONFIGURATIONS TYPES

Il est possible de connecter plusieurs concentrateurs (< 8) à plusieurs blocs mémoire (< 8) en association parallèle. Ceci permet :

- l'augmentation de la puissance de traitement mise en oeuvre
- l'augmentation de la taille mémoire mise en oeuvre
- l'augmentation du débit global d'informations entre les processeurs et la mémoire.

Dans le cas où les traitements à mettre en oeuvre ne nécessitent pas l'accès de tous les processeurs à la totalité des informations disponibles dans la MIL, il est intéressant d'adopter une organisation série dans laquelle les processeurs d'un concentrateur donné ne peuvent accéder qu'aux seules informations disponibles dans la mémoire associée. Cette solution permet d'augmenter la puissance de calcul mise en oeuvre tout en évitant d'augmenter les conflits d'accès dus à la mise en oeuvre d'un sélecteur présentant un nombre de voies important.

Des configurations combinant les associations série et parallèles peuvent bien évidemment être mises en oeuvre.

2.3. - Description du concentrateur

La figure 5 ci-après montre l'organisation générale d'un concentrateur.

Un bus de servitude au standard IEEE 488 permet :

- à l'initialisation, le chargement des programmes dans les processeurs
- pendant le fonctionnement, la collecte des états de fonctionnement des processeurs.

Un espion de bus permet de contrôler les conditions d'allocation du bus d'accès à la MIL et à la ME.

Un bus de servitude au standard IEEE 488, commun à plusieurs concentrateurs permet de configurer l'UGA dans la phase d'initialisation, d'acquiescer ses états de fonctionnement ainsi que les informations délivrées par l'espion de bus.

- Unité de gestion des adresses

La figure 6 ci-après montre l'organisation de l'UGA. Elle permet pour chaque demande d'accès émise par l'un quelconque des processeurs, de pointer par l'adresse zone une table de constantes (2 tables en bascule)



MEMOIRE D'INFORMATIONS LATENTES  
ET SYSTEME DE TRAITEMENT MULTIPROCESSEUR

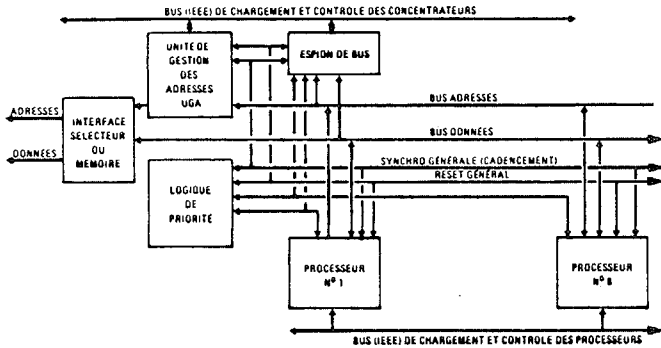


Figure 5 ORGANISATION D'UN CONCENTRATEUR

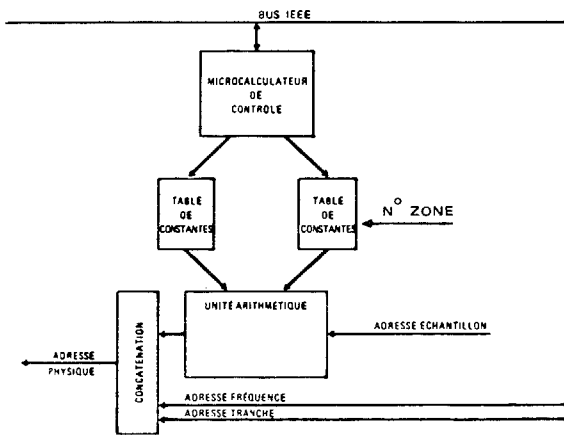


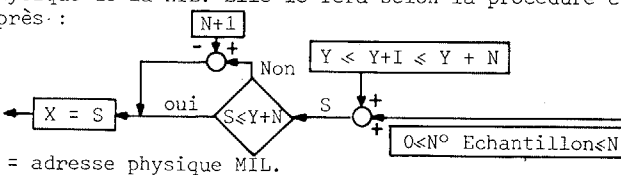
Figure 6 ORGANISATION DE L'UNITE DE GESTION DES ADRESSES

La table est remise à jour par le microcalculateur de contrôle après chaque acquisition d'un nouvel échantillon de spectre.

Soit une zone quelconque pouvant contenir N échantillons.

Soit une taille N + 1 (un échantillon étant réservé pour l'écriture et la lecture de données de test). On alloue à cette zone une portion de MIL comprise entre les adresses Y et Y + N. Le décalage de l'origine des échantillons se fera comme indiqué dans le tableau ci-après.

L'UGA sera chargée de faire correspondre, dans le temps, le numéro de l'échantillon considéré à l'adresse physique de la MIL. Elle le fera selon la procédure ci-après :



X = adresse physique MIL.

Le temps nécessaire pour effectuer ces opérations en recouvrement avec le fonctionnement du sélecteur est compris entre 200 et 250 ns.

adresse physique de la MIL

	Y	Y+1	Y+2	Y+3	Y+4	Y+5	---	Y+I	---	Y+M-2	Y+M-1	Y+M	INSTANTS
I=3 N° ECH	N-2	N-1	M	0	1	2				N-5	N-4	N-3	K
Spectre	S <sub>K-N+3</sub>	S <sub>K-N+2</sub>	S <sub>K-N+1</sub>		S <sub>K</sub>	S <sub>K-1</sub>				S <sub>K-N+6</sub>	S <sub>K-N+5</sub>	S <sub>K-N+4</sub>	
I=2 N° ECH	M-1	M	0	1	2	3				M-4	M-3	M-2	K+1
Spectre	S <sub>K-M+3</sub>	S <sub>K-M+2</sub>		S <sub>K+1</sub>	S <sub>K</sub>	S <sub>K-1</sub>				S <sub>K-M+6</sub>	S <sub>K-M+5</sub>	S <sub>K-M+4</sub>	
I=1 N° ECH	M	0	1	2	3	4				M-3	M-2	M-1	K+2
Spectre	S <sub>K-M+2</sub>	S <sub>K+2</sub>	S <sub>K+1</sub>	S <sub>K</sub>	S <sub>K-1</sub>					S <sub>K-M+6</sub>	S <sub>K-M+5</sub>	S <sub>K-M+4</sub>	
I=0 N° ECH	0	1	2	3	4	5				M-2	M-1	M	K+3
Spectre		S <sub>K+3</sub>	S <sub>K+2</sub>	S <sub>K+1</sub>	S <sub>K</sub>	S <sub>K-1</sub>				S <sub>K-M+6</sub>	S <sub>K-M+5</sub>	S <sub>K-M+4</sub>	
I=M N° ECH	1	2	3	4	5	6				M-1	M	0	K+4
Spectre	S <sub>K+4</sub>	S <sub>K+3</sub>	S <sub>K+2</sub>	S <sub>K+1</sub>	S <sub>K</sub>	S <sub>K-1</sub>				S <sub>K-M+6</sub>	S <sub>K-M+5</sub>		
I=M N° ECH	2	3	4	5	6	7				M	0	1	K+5
Spectre	S <sub>K+4</sub>	S <sub>K+3</sub>	S <sub>K+2</sub>	S <sub>K+1</sub>	S <sub>K</sub>	S <sub>K-1</sub>				S <sub>K-M+6</sub>	S <sub>K+5</sub>		

- Logique de priorité

Le schéma de principe est donné sur la figure 7 ci-après :

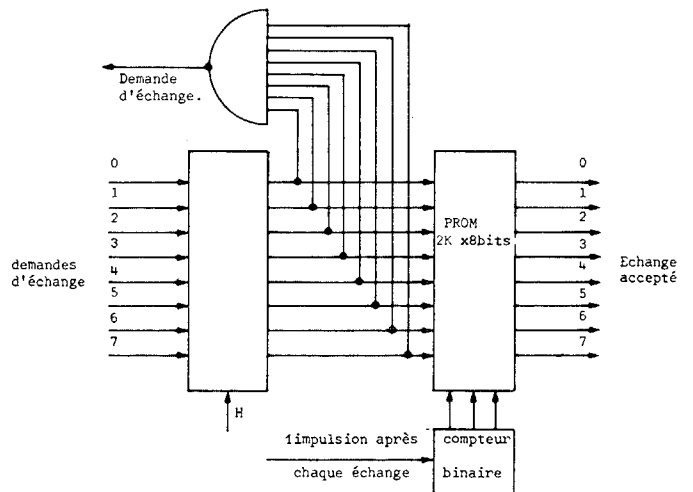


figure 7 : ORGANISATION DE LA LOGIQUE DE PRIORITE

La mémoire PROM contient les huit configurations des 256 cas possibles de demande d'échange, chaque configuration correspondant à un ordre dans la priorité relative des processeurs de traitement.

Le temps de transfert à travers la logique de priorité est inférieur à 100 ns.

- Processeur MACHINE 1 THOMSON/CSF DRS

La figure 8, ci-après montre l'organisation de ce processeur microprogrammé réalisé à partir de circuits bipolaires de la série AMD 2900. Le temps moyen de microinstruction est de 300 ns.

MEMOIRE D'INFORMATIONS LATENTES  
ET SYSTEME DE TRAITEMENT MULTIPROCESSEUR

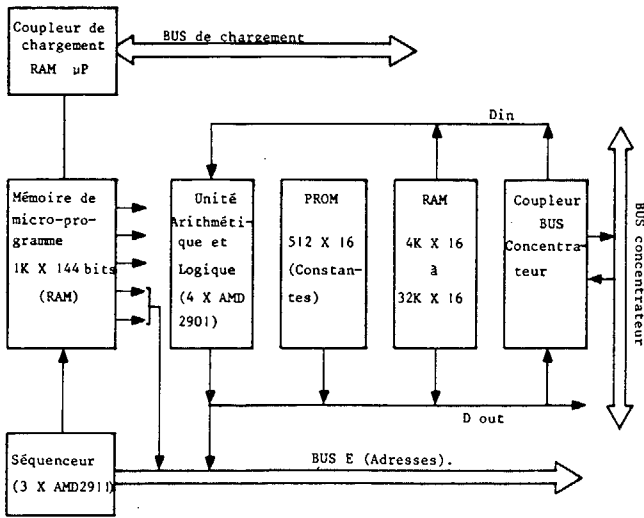


Figure 8 : ORGANISATION DU PROCESSEUR M1

- Processeur "68000" CAPCA

Son organisation est définie sur la figure 9 ci-après. Le temps moyen d'instruction est de l'ordre de 1 µs.

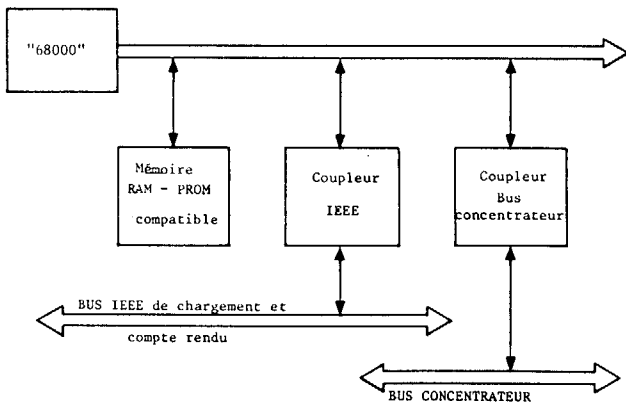


Figure 9 : ORGANISATION DU PROCESSEUR "68000"

2.4. - Description du sélecteur et du bloc mémoire

La figure 10 ci-après détaille la configuration d'un sélecteur dans le cas du couplage de 4 concentrateurs avec 2 blocs mémoire.

Un arbitre identique à la logique de priorité du concentrateur est associé à chaque bloc mémoire. Il reçoit et traite les demandes d'accès de chacun des concentrateurs. Les poids forts de l'adresse émise par chacun des concentrateurs sont décodés et permettent la génération de la demande d'accès. L'arbitre commande la commutation du bus du concentrateur sélectionné sur le bus du bloc mémoire.

Le temps nécessaire à l'arbitrage et à la commutation des bus est de l'ordre de 200 ns. Cette phase s'exécute simultanément avec le travail de l'UGA dans le concentrateur.

Le bloc mémoire est réalisé à l'aide de boîtiers RAM statiques, le temps global d'accès est de 130 ns.

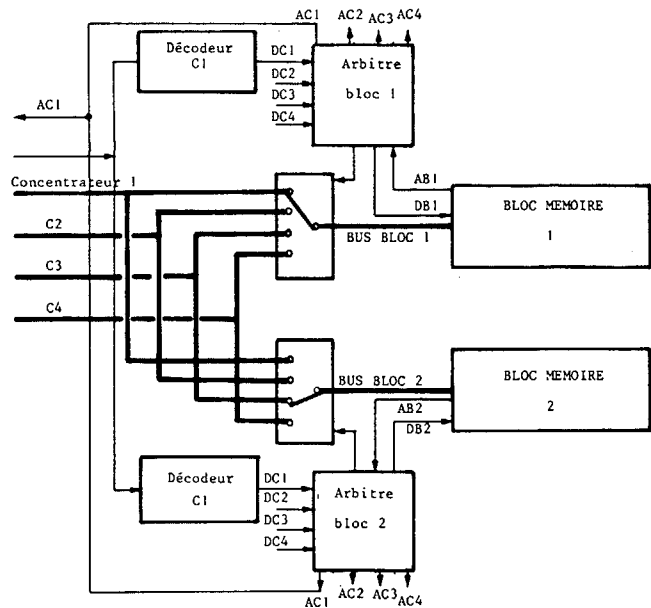


Figure 10 : CONFIGURATION SELECTEUR-BLOC MEMOIRE

3. - LOGICIELS DE DEVELOPPEMENT ET D'AIDE A LA MISE AU POINT

3.1 - Logiciels de base des processeurs MACHINE 1 et 68000

Ils permettent le développement de programmes de traitement sans tenir compte de la structure multiprocesseur :

- machine 1 :
  - . Assembleur et simulateur de microprogramme sur configuration. Hewlett packard série 1000
  - . Chargeur et logiciel de mise au point sur H.P.1000 relié à une machine 1.
- 68000 :
  - . Assembleur sur H.P 1000 et EXORMACS
  - . Mise au point sur EXORMACS

3.2 - Simulation fonctionnelle de l'UTMP

Elle a pour but essentiel, la validation des échanges de données entre les différents processeurs.

La MIL et la ME, le sélecteur, l'UGA et la logique de priorité du concentrateur sont simulés grâce à un logiciel FORTRAN IV fonctionnant sur HP 1000. Les configurations parallèle ou série peuvent être prises en compte par le logiciel.

Les programmes d'application relatifs aux différents processeurs sont développés en général en FORTRAN IV.

3.3 - Simulation complète de l'UTMP

Elle permet, comme pour la simulation fonctionnelle, de valider les échanges de données entre les différents processeurs ; mais son intérêt essentiel réside dans la simulation fine des échanges dans le temps. Les conflits d'accès au bus concentrateur et à la mémoire sont analysés et représentés sous forme graphique. Les temps de traitements des processeurs sont mesurés. Il est donc possible de savoir après exécution de la simulation, si la répartition des tâches dans les processeurs permet le fonctionnement en temps réel de l'ensemble du système et éventuellement de jouer sur la répartition de ces tâches pour améliorer le rendement global du système.

Pour que cette simulation soit réaliste il est nécessaire :  
- de tenir compte des temps de transfert dans les éléments communs de l'UTMP,





MEMOIRE D'INFORMATIONS LATENTES  
ET SYSTEME DE TRAITEMENT MULTIPROCESSEUR

- de réaliser la programmation des processeurs dans leur langage définitif.

Les simulateurs M1 et 68000 sont très lents (pour la M1 la simulation d'une microinstruction nécessite environ 0,5 seconde sur HP 1000).

Il n'est pas envisageable de les utiliser pour procéder à une analyse statistique des temps de traitement et conflits d'accès, la simulation de quelques secondes de traitement temps réel pouvant conduire à plus d'un mois de simulation.

La solution choisie décrite sur la figure 11 ci-après, consiste à simuler sur HP 1000 les éléments de base de l'UTMP et à émuler sur une machine réelle, l'exécution des traitements dans les processeurs.

L'exécution d'une simulation nécessite la mise en oeuvre successive des opérations suivantes :

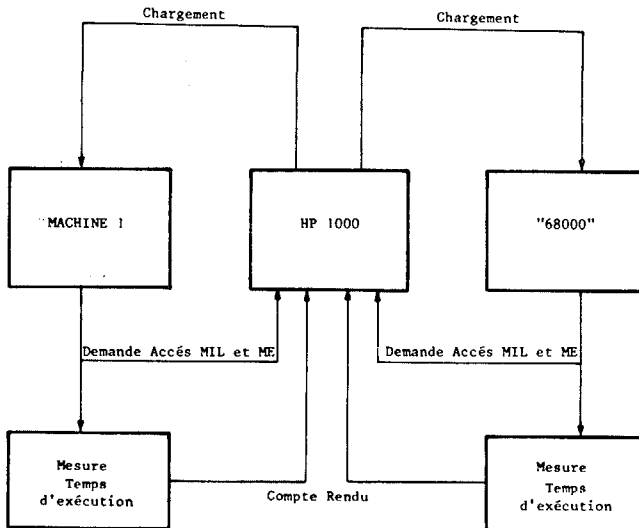


Figure 11 : ORGANISATION DU DISPOSITIF POUR SIMULATION COMPLETE DE L'UTMP

- émulation des traitements exécutés dans les processeurs avec mesure des temps d'exécution entre chaque accès MIL ou ME.

- traitement des fichiers des temps d'exécution, analyse des conflits d'accès, reconstitution des temps d'exécution réels.

#### 4. - LOGICIELS ET MATERIELS DE TEST ET DE LOCALISATION D'AVARIE

Ces outils ont pour but d'assurer :

- le contrôle du fonctionnement de l'UTMP pendant son utilisation opérationnelle.
- le test approfondi et la localisation des avaries.

Ce sont :

- des programmes d'auto-contrôle implantés dans chaque processeur,
- un logiciel de contrôle de l'UTMP et de localisation d'avarie (UGA, sélecteur, Mémoire) s'exécutant dans un ou plusieurs processeurs qui assurent la fonction de maintenance globale.
- un matériel de maintenance, pouvant être connecté en plusieurs points de l'UTMP :
  - . à la place des processeurs,
  - . en sortie du concentrateur, du sélecteur ou du

- bloc mémoire,
- . en entrée et en sortie du sélecteur (émulation du concentrateur et du bloc mémoire),
- . en entrée du bloc mémoire (émulation du sélecteur ou du concentrateur).

Ce matériel permet simultanément :

- . La génération de demandes d'accès mémoire avec mémorisation ou génération des données.
- . La génération de réponses à des demandes d'accès mémoire.
- . La mesure des temps d'accès mémoire.

#### 5. - CONCLUSION

L'UTMP constitue un ensemble complet développé en mettant en oeuvre un maximum d'éléments standards qui font, par ailleurs, l'objet de développements importants.

La mise en place au niveau de la maquette de logiciels de développement et d'aide à la mise au point, ainsi que des moyens de test et de localisation d'avarie, en fait un outil facilement industrialisable ; utilisable dans les applications de traitement du signal qui nécessitent la mise en oeuvre d'une puissance de calcul élevée.