

# HUITIEME COLLOQUE SUR LE TRAITEMENT DU SIGNAL ET SES APPLICATIONS



NICE du 1<sup>er</sup> au 5 JUIN 1981

---

MEMOIRE DE MASSE COMMUNE  
SHARED MASS STORAGE DEVICE

J.B. d'YVOIRE

SINTRA-ALCATEL, 1, avenue Aristide Briand 94117 ARCUEIL

---

## RESUME

Les chaînes de traitement numérique de signal constituées de plusieurs processeurs en partage de tâches font apparaître la nécessité de disposer de mémoires tampons caractérisées par :

- o Taille de l'ordre du méga-octet
- o Multi-accès
- o Temps d'accès rapide

La mémoire réalisée s'intègre dans une chaîne de traitement de signaux hydrophoniques constituée de plusieurs processeurs spécialisés en série : la demi-chaîne amont fournit des échantillons (16 bits) temporels relatifs à plusieurs gammes de fréquence et plusieurs voies formées : chaque type d'information (voie, gamme) doit être tamponné dans la mémoire pour être exploité par la demi-chaîne aval qui réalise une FFT, avec ou sans recouvrement.

La mémoire est structurée (allocation statique) en tampons exploités en bascule (sans recouvrement) ou par rotation (avec recouvrement).

Elle est réalisée en technologie MOS dynamique avec une capacité maximum de 1 méga-octet. Le multi-accès est réalisé par l'organisation de la mémoire autour du bus multi-maîtres INTEL "Multibus" : chaque processeur "abonné" y est connecté par un coupleur géré par le microprocesseur d'entrée/sortie INTEL 8089, qui décharge les processeurs de la gestion mémoire et du transfert des données, fonctionnant en accès direct "mémoire à mémoire", à une vitesse instantanée de 2  $\mu$ s par mot de 16 bits.

## SUMMARY

Chains of digital signal processing constituted by several computers working in task-sharing show the necessity of buffer memories characterized by :

- o Size of about 1 mega-bytes
- o Multi-access
- o Fast access time

The device realized combines with an hydrophonic signals processing chain made of serial signal processors : the upper half-chain supplies samples (16 bits) relating to several frequency ranges and several formed tracks : each information type (range, track) must be buffered in the memory to be read by the lower half-chain which operates an FFT, with or without overlapping.

The memory is structured (static allocation) in flip-flop buffers (without overlapping) and rotating buffers (with overlapping).

It's realized in MOS dynamic technology, with a maximum size of 1 mega-byte. Multi-access is operated by the organization of the device round the multi-masters bus INTEL "Multibus" : each processor having access to the device is connected by an interface managed by the I/O microprocessor INTEL 8089, which unloads the processors of memory management and data transfer, operating in direct "memory to memory" access, at an instantaneous rate of 2  $\mu$ s per 16 bits word.



MEMOIRE DE MASSE COMMUNE  
SHARED MASS STORAGE DEVICE

### I.- INTRODUCTION

Les chaînes de traitement numérique programmé de signal constituées de plusieurs processeurs travaillant en partage de tâches font apparaître la nécessité de disposer de mémoires tampons caractérisées par :

- . Taille de l'ordre du méga-octet
- . Multi-accès
- . Temps d'accès de l'ordre de la micro-seconde.

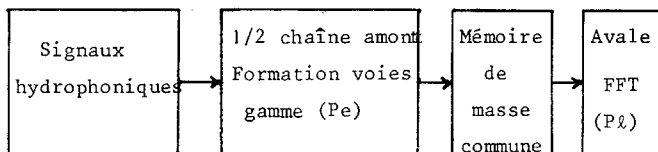
Exemples d'application :

- constitution de tampons d'entrée de FFT
- visualisation.

### II.- APPLICATION

La mémoire réalisée s'intègre dans un système de traitement de signaux hydrophoniques réalisant une localisation et une analyse spectrale de bruiteurs marins.

La chaîne est essentiellement constituée de processeurs micro-programmés spécialisés ( $P_1$ ) en série formant différentes voies (gisements) et dissociant le spectre d'étude en plusieurs gammes de fréquences pour réaliser sur chaque type d'information (voie, gamme) une FFT. La mémoire s'intercale entre une demi-chaîne amont formant les voies et les gammes et une demi-chaîne aval réalisant les FFT :



Un processeur ( $P_e$ ) fournit régulièrement des échantillons temporels de différents types à la mémoire de masse pour constituer différents tampons de 1024 ou 2048 échantillons qui sont fournis à un processeur ( $P_l$ ). Ces processeurs ont la particularité de posséder des mémoires vives de données à double-accès (MDA) (fenêtres temporelles) permettant un transfert direct de mémoire à mémoire des échantillons.

Ceux-ci sont représentés par des mots de 16 bits, le flux global étant de l'ordre de 20  $\mu$ s par mot.

### III.- REALISATION

#### III.1.- Principe - Synoptique

. Technologie de la mémoire :

Le temps d'accès et la taille mémoire nécessaire justifient le choix du MOS dynamique (boîtiers 16K x 1).

. Le problème du multi-accès est résolu par les bus multi-maîtres proposés par certains constructeurs de microprocesseur : ces bus sont destinés à être commandés par microprocesseur.

Compte tenu de la charge imputable à la gestion de la mémoire, le flux instantané d'information à respecter pour tenir la charge temps réel est de l'ordre de 10  $\mu$ s par mot, soit 5  $\mu$ s par mot transféré de ( $P_e$ ) vers la mémoire ou de la mémoire vers ( $P_l$ ) : Ce temps n'est pas compatible avec les performances des microprocesseurs actuels en transferts programmés.

Le seul microprocesseur capable de soutenir un tel débit est le INTEL 8089, conçu pour réaliser des transferts de mots de 16 bits en accès direct mémoire ; ses caractéristiques principales sont les suivantes :

- microprocesseur dual, composé de deux canaux indépendants se partageant le bus externe en alternance.
- Chaque canal dispose de ses propres registres et peut exécuter un programme composé du jeu d'instructions classique d'un microprocesseur.
- Une instruction spéciale (XFER) lui permet d'effectuer le transfert d'un bloc de données et accès direct de mémoire à mémoire, à une vitesse instantanée maximum de 1,6  $\mu$ s par mot de 16 bits, après programmation de ses caractéristiques dans ses registres internes.
- Espace adressable de 1 méga-octet (+ 64K octets).

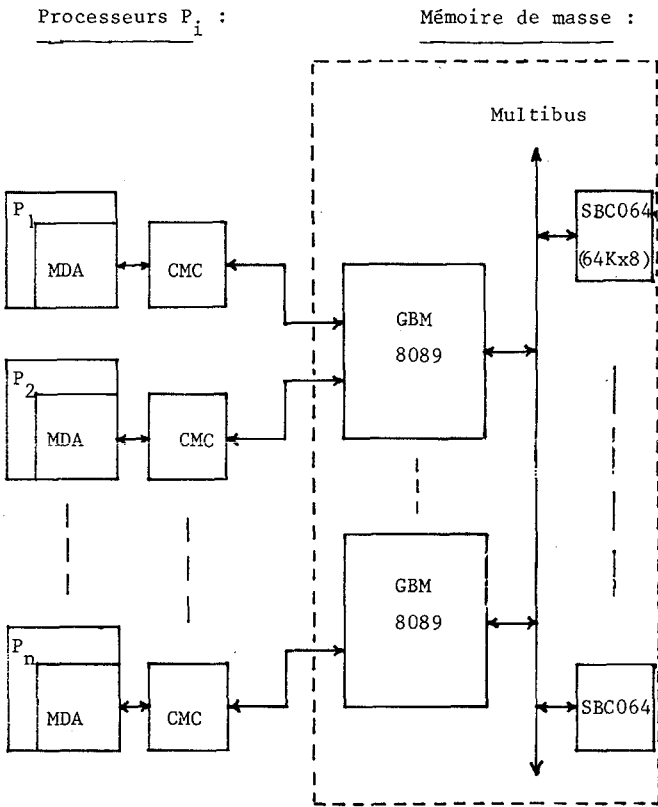
. Ces considérations et le souci de minimiser le coût de développement du système ont conduit à réaliser la mémoire de masse à partir d'un matériel de base INTEL :

- Organisation de la mémoire autour du MULTIBUS INTEL.
- Mémoire constituée de cartes INTEL SBC 064 de 64K octets ou 32K mots, sur lesquelles un contrôle de parité a été ajouté.
- Couplage aux processeurs ( $P_1$ ) par microordinateur réalisé (en wrapping) sur une carte au format SBC autour du 8089, à raison de deux processeurs pour un 8089 (un processeur par canal).

MEMOIRE DE MASSE COMMUNE  
SHARED MASS STORAGE DEVICE

Le système réalisé peut être connecté à 8 ( $P_i$ ) maximum, même si pour l'application présentée il n'y en a que 2 (un seul 8089).

Synoptique général de la mémoire de masse :



La carte CMC est une carte de couplage des processeurs ( $P_i$ ) réalisant la synchronisation de l'accès à la mémoire double-accès (MDA) par le 8089.

La liaison CMC ↔ GBM est l'extension (en niveau TTL) de bus 8089 (< 3 mètres).

Le jeu d'instruction du 8089 permet de décharger totalement les processeurs ( $P_i$ ) de la gestion de la mémoire.

III.2.- Performances - Capacités maximales

Vitesse de transfert instantanée

1,8 μs par mot de 16 bits de mémoire de masse à mémoire processeur.

Temps d'initialisation/gestion du transfert d'un bloc de mots de même identité : 650 μs (lecture ou écriture)

Ces temps sont à combiner en fonction de la configuration du système pour évaluer la charge globale admissible, sachant en particulier que les deux canaux d'un 8089 travaillant simultanément se ralentissent mutuellement.

Capacité mémoire maximum : 1 méga-octet

III.3.- Interface avec les processeurs

III.3.1.- Matériel

III.3.1.1.- Carte CMC

Elle permet au 8089 d'accéder à la MDA des processeurs ( $P_i$ ) par un compteur d'adresse programmable (chargement, auto-incrément).

Ce compteur peut également être chargé par le processeur ( $P_i$ ).

Elle transmet également un signal d'activation, par le processeur, du canal 8089 qui lui est affecté (interruption).

III.3.1.2.- Carte GBM

Organisée autour du 8089, elle lui permet d'accéder aux MDA des ( $P_i$ ), au Multibus, et à ses ressources internes :

- mémoire vive de travail (1K x 16 statique)
- mémoire morte programme (4K x 16 PROM ou EPROM).

L'accès à ces mémoires locales se fait par un bus résident isolé du Multibus qui n'est alors occupé que pour les échanges avec des organes réellement connectés sur le Multibus.

Un arbitre de bus (8289) lui donne la possibilité de partager le Multibus avec d'autres maîtres (Daisy-chain).



MEMOIRE DE MASSE COMMUNE  
SHARED MASS STORAGE DEVICE

### III.3.2.- Logiciel

#### III.3.2.1.- Principe

Le logiciel 8089 réside en mémoire morte et est organisé en modules exécutables par chaque canal selon un code d'ordre donné par le processeur ( $P_i$ ) qui lui est affecté : ils sont activés par une interruption générée par le processeur et se concluent en général par un arrêt du canal (instruction HALT).

Cette découpe en exécutifs donne souplesse d'utilisation et extensibilité au système : elle permet en particulier une liberté de choix entre des exécutifs prenant en charge presque totalement la gestion de la mémoire et d'autres, moins évolués, donnant aux processeurs un accès "direct" à la mémoire (gestion par les processeurs, fonctions auxiliaires, maintenance).

Un niveau supplémentaire de souplesse est donné par le fait que les paramètres structurant précisément la mémoire résident en mémoire vive :

- Certains dans la MDA des processeurs ( $P_i$ ), accessibles par le 8089,
- D'autres dans la mémoire locale de la carte GBM,
- D'autres en mémoire de masse commune.

Dans les deux derniers cas, ils sont chargés à l'initialisation par un ou plusieurs ( $P_i$ ) selon une procédure fiable.

#### III.3.2.2.- Procédure d'appel des exécutifs

La commande, l'exécution et le contrôle d'un exécutif se déroule selon la procédure suivante :

- chargement par le processeur ( $P_i$ ) (commandant l'exécutif) du compteur de la CMC par l'adresse d'une zone primaire d'échange en MDA du processeur
- envoi simultané d'une interruption activant le canal 8089 affecté
- acquisition par le canal de la zone primaire qui est composée de :
  - . code d'ordre (de parité fixe)
  - . compte-rendu d'exécution (initialisé à zéro)
  - . adresse d'un descripteur en MDA où se trouvent les paramètres éventuels de l'ordre.
- exécution par le canal de l'ordre paramétré par le descripteur
- écriture d'un compte-rendu d'exécution
- arrêt du canal par exécution de l'instruction HALT.

#### III.3.2.3.- Description des exécutifs

On peut les classer en 3 types :

- Opérationnels
- Initialisation
- Maintenance

##### III.3.2.3.1.- Les exécutifs opérationnels

Trois types :

- 2 exécutifs assurant une gestion évoluée de la mémoire, déterminés par l'application :

##### o Ecriture :

Cet exécutif est le seul à n'être pas suivi d'un HALT : Le temps d'initialisation d'un transfert étant non négligeable, un pré-tamponnage en MDA du processeur ( $P_e$ ) est nécessaire : il est réalisé par allocation dynamique en MDA, ( $P_e$ ) étant l'allocateur, le 8089 étant le désallocateur.

Le canal peut néanmoins exécuter n'importe quel autre exécutif lorsqu'il boucle en attente, selon une procédure spéciale dite de tâche auxiliaire.

##### o Lecture :

Le processeur ( $P_x$ ) donne l'identité du ou des tampons demandés au canal, qui effectue le transfert (ou boucle en attente), puis exécute un HALT : il n'y a pas de file d'attente, l'ordre d'acquisition des tampons étant parfaitement déterminé.

- Des exécutifs de lecture et écriture directes qui, associés avec des exécutifs de test "verrouillé" de sémaphore, permettent aux processeurs ( $P_i$ ) de prendre en charge totalement la gestion de la mémoire, ou de l'utiliser pour des fonctions supplémentaires.
- Des exécutifs, à usage général, permettant une communication "directe" de processeur à processeur, par transfert d'une zone mémoire, en deux temps, de MDA à MDA.

##### III.3.2.3.2.- Les exécutifs d'initialisation

Ils permettent de réaliser une initialisation ou une resynchronisation "propre" du système, ou un chargement fiable de paramètres en mémoire vive (avec contrôle par checksum).

MEMOIRE DE MASSE COMMUNE  
SHARED MASS STORAGE DEVICE

III.3.2.3.3.- Les exécutifs de maintenance

Ce sont des autotests permettant un contrôle de bon fonctionnement à l'initialisation, une détection et une localisation efficace des avaries :  
test de liaison 8089 ↔ MDA, test des ressources internes du 8089, test des cartes mémoires dynamiques.

III.4.- Structure de la mémoire

La structure mémoire gérée par les deux exécutifs opérationnels évolués est la suivante :

Les échantillons sont identifiés par un numéro logique : à chaque numéro est associé un descripteur (chargeable à l'initialisation) résidant en mémoire vive 8089 et gérant un certain nombre de zones mémoires élémentaires qui lui sont allouées statiquement :

- Pour les FFT sans recouvrement, deux zones sont affectées, gérées en bascule.
- Pour les FFT avec recouvrement (T/N), (N+1) (ou plus) zones sont affectées, gérées en rotation.

Les descripteurs comportent tous les éléments nécessaires à la gestion de ces zones par un écrivain et un lecteur :  
nombre de zones, dimension des zones, numéros de zones à lire et à écrire, sémaphores d'état de zones, etc.

Le système étant une boîte à lettres statique, il n'y a pas de conflit possible (pas de section critique).

III.5.- Gestion des fautes

Les exécutifs opérationnels contrôlent le bon fonctionnement de certains "points clés" des transferts :  
chaque avarie constatée donne lieu à un code de faute qui est déporté dans un tampon de fautes en MDA, permettant d'avoir un historique.

Les autres exécutifs émettent ce code de faute dans le compte-rendu d'exécution.

III.6.- Outillage de mise au point et de maintenance

Deux outillages complémentaires :

III.6.1.- Platine de maintenance

Sur la carte GBM, un connecteur permet de brancher une platine qui, placée en espion sur le bus 8089, permet de visualiser données et adresses, en pas à pas ou en arrêt sur adresse.

III.6.2.- Carte INTEL 86/12

- \* La connexion sur le multibus de cette carte permet un déverminage du logiciel 8089 et un accès direct aux cartes mémoires ; ses caractéristiques sont :
    - micro-ordinateur réalisé autour du INTEL 8086
    - compatibilité MULTIBUS
    - mémoire vive double accès : 8086 et maître connecté au multibus
    - liaison V24 avec organe externe.
  - \* Associée avec un moniteur en PROM (INTEL SBC 957), elle permet de :
    - visualiser/modifier la mémoire dynamique
    - charger les programmes 8089 en mémoire doubleaccès directement à partir d'un système de développement type MDS :  
un cavalier sur la carte GBM permet de rendre le programme 8089 résident en mémoire externe MULTIBUS.
- Le développement de modules 8086 simples associés au moniteur permet alors la supervision de l'exécution par le 8089 de ses programmes résidant en mémoire 86/12, et l'implantation de fonctions (logicielles) de pas à pas et de break-point.
- charger ou stocker le contenu des cartes mémoires dynamiques par connexion sur la ligne V24 d'un enregistreur à mini-disquettes transportable.



MEMOIRE DE MASSE COMMUNE  
SHARED MASS STORAGE DEVICE

---

IV.- CONCLUSION

Le système présenté est une application intéressante des possibilités offertes par le microprocesseur INTEL 8089, associé au MULTIBUS.

Son architecture matérielle et logicielle et son mode de connexion aux processeurs en font un système d'une grande souplesse d'emploi, permettant d'envisager des extensions de sa fonction de mémorisation :

- communication entre plusieurs processeurs
- déchargement des processeurs ( $P_i$ ) de certains traitements, la puissance pouvant être augmentée par la connexion d'une ou plusieurs cartes 86/12 sur le Multibus.