



NICE du 1^{er} au 5 JUIN 1981

UNE METHODE DE REDUCTION DES BRUITS D'INTERFERENCE POUR LES SONARS PASSIFS
AN INTERFERENCE NOISE REDUCTION METHOD FOR PASSIVE SONAR

MR. JARL JOHNSEN

NORWEGIAN DEFENCE RESEARCH ESTABLISHMENT, DIVISION FOR UNDERWATER WARFARE, P.O. BOX 115, N-3191 HORTEN, NORWAY

RESUME

SUMMARY

Les sonars de coque passifs sont soumis, à la fois, aux bruits internes et externes. Ces bruits dégradent les performances du sonar, et peuvent masquer totalement la signature de la cible. Le signal provenant de la cible peut être augmenté de manière significative par l'emploi de techniques de suppression du bruit propre et par la formation de voies adaptatives. Le mémoire décrit une méthode et un schéma de traitement associant la réduction adaptative du bruit propre et la formation de voies par ordinateur. Le ordinateur utilise un nombre limité d'entrées des signaux du capteur et du bruit de référence. Une bande étroite optimum pour la réduction du bruit et la formation des voies est choisie, et l'adaptation est réalisée par une mise à jour continue des matrices covariantes du bruit inverse. Le principe est mis en œuvre sur un ordinateur d'antenne qui dispose de la puissance nécessaire pour les calculs en temps réel sur un nombre limité de signaux d'entrée.

Hull mounted passive sonar systems are subjected to both internal and external noise signals. These noise signals degrade the sonar performance and may completely mask the target signature. The target signal can be enhanced significantly by applying self noise cancellation techniques and adaptive beamforming. The paper describes a method and a processing scheme for a combined adaptive self noise reduction and beamforming processor system. The processor utilizes a limited number of signal sensor inputs and noise reference inputs. A narrow band, near optimum noise cancellation and beamforming method is presumed and the adaptation is achieved by a continuous updating of the inverse noise covariance matrices. The principle is implemented on an array processor which satisfies the computing power requirements for a real time system based on a limited number of input signals.

