

SEPTIEME COLLOQUE SUR LE TRAITEMENT DU SIGNAL ET SES APPLICATIONS

NICE du 28 MAI au 2 JUIN 1979

STRUCTURE PROGRAMMABLE POUR L'EXECUTION SIMULTANEE DES PROCESSUS
RENCONTRES EN TRAITEMENT DU SIGNAL

PROGRAMMABLE STRUCTURE FOR PARALLEL EXECUTION OF SIGNAL PROCESSING
CALCULATIONS

Alain DEMEURE

Thomson-C.S.F., Division ASM Chemin des Travaux
06802 Cagnes-sur-Mer - France

Thomson-C.S.F., ASM Division, Chemin des Travaux
06802 Cagnes-sur-Mer - France

RESUME

Les processus de calcul rencontrés en traitement du signal se démarquent des processus informatiques classiques par :

- leurs répétitivités
- la structure simple des blocs de données manipulées
- leur aptitude, a priori, à une exécution parallèle.

L'architecture de machine présentée ici tire profit de ces caractéristiques. Elle se présente comme une collection de blocs mémoires, d'opérateurs de calcul microprogrammés ou câblés, de coupleurs. L'interconnexion de ces unités est banalisée grâce à un monobus dont la saturation est évitée par le format et la technologie adoptés.

Chaque processus possède son unité de contrôle où sont programmés ses accès aux unités nécessaires à son exécution ; le programme explicite aussi l'accès aux unités (ressources) partagées par d'autres processus.

La coordination temporelle des traitements s'effectue à deux niveaux. A l'échelle du temps de cycle de base, un ordonnanceur règle les conflits, les déclenchements inter-processus, les synchronisations d'entrées-sorties. A l'échelle macroscopique, un gestionnaire reçoit les commandes opérationnelles et les traduit pour l'ordonnanceur en termes de processus constitutifs d'une chaîne de traitement.

SUMMARY

The type of calculation encountered in signal processing are typified by the following :

- their repetitivity
- the simplicity of data structures
- their applicability to parallel processing.

The machine architecture described makes advantage of the above characteristics. The architecture comprises a number of memory blocks, processing units either micro-programmed or hard-wired, and interfaces. The interconnection of these units is generalized by the use of a high technology mono-bus capable of supporting high transfer rates.

Each process possesses its own control unit which is programmed with the informations concerning its access capabilities to resources necessary for this execution, taking into account the sharing of resources with other processes.

The synchronization of process executions is assured at two levels. On the machine cycle scale, a micro-scheduler deals with conflicts, interactions between processes, and I/O activities. On macroscopic scale, a software scheduler receives operational commands and translates into a serie of process activation commands for the micro-scheduler.



STRUCTURE PROGRAMMABLE POUR L'EXECUTION SIMULTANEE DES PROCESSUS
RENCONTRES EN TRAITEMENT DU SIGNAL
PROGRAMMABLE STRUCTURE FOR PARALLEL EXECUTION OF SIGNAL PROCESSING
CALCULATIONS

INTRODUCTION.

L'organisation de machine présentée ici a été étudiée pour remplacer en grande partie les systèmes numériques câblés que l'on trouve actuellement en tête de traitement dans les Radars et Sonars.

Elle ne conduit cependant pas à une informatisation du traitement de signal, inévitable si on s'oriente vers un outil programmable de type monoprocesseur, aidé ou non par des opérateurs spécialisés.

L'organisation retenue place la machine dans les structures multiprocesseurs. Dans le cas particulier du traitement de signal, une telle organisation permet d'exploiter :

- Au niveau d'un module de traitement, le parallélisme fréquemment inhérent à un algorithme (formation des voies en Sonar ; filtrage spatio-temporel en Radar par exemple). Les processeurs peuvent alors être constitués en machine de type S.I.M.D.*
- Au niveau de l'enchaînement des modules, le cascada-ge qui est la règle. Les processeurs composent alors une machine de type Pipe-Line.

L'approche multiprocesseur peut éviter l'informatisation excessive avec son cortège de complications dans les problèmes temps réel. Une condition est que la puissance de calcul du composant processeur soit bien adaptée à l'exécution d'une fonction (processus) élémentaire. La structure de la machine, modulaire par conception, se calque alors physiquement sur la chaîne de traitement à réaliser. L'indépendance d'écriture des programmes est du même coup assurée.

EXPRESSION DES BESOINS POUR LE COMPOSANT "PROCESSEUR".

Fonctions à assurer en interne.

On fait abstraction pour l'instant du système multiprocesseur, où le processeur élémentaire doit s'intégrer. Pour spécifier ce composant programmable on remarque qu'un processus a pour caractéristiques en traitement de signal :

- L'organisation simple des données traitées ou restituées. Les blocs se manipulent généralement comme des entités vectorielles ou matricielles (tableaux). Le calcul des adresses mémoires est un mécanisme incrémental totalement déterministe.

* Single Instruction Multiple Data Stream (Classification de FLYNN)

- La répétitivité de l'algorithme maintenue tout au long du traitement des tableaux.
- La simplicité de la séquence d'opérations élémentaires constitutives de l'algorithme, et l'indépendance de cette séquence vis à vis des données traitées. (Même les manipulations de type logique : recadrage, tri, sont solubles au niveau du seul opérateur).

Du point de vue matériel, deux moyens, en fait totalement disjoints s'avèrent nécessaires (Fig. 1).

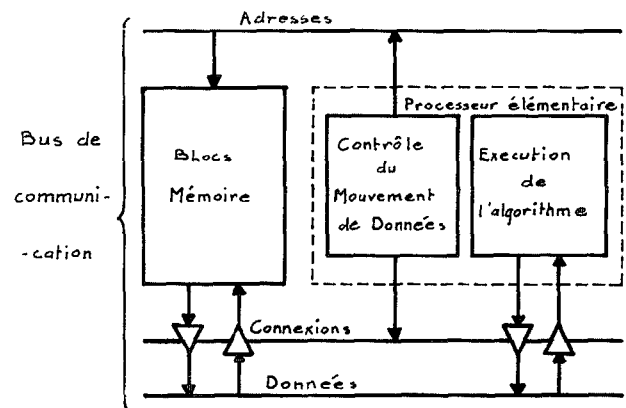


Figure 1

Un premier moyen coordonne les mouvements de données : adressage des tableaux en mémoire, calcul du nombre d'itérations, commande des échanges de données. Il travaille dans un format caractérisé par le maximum adressable en mémoire. Du point de vue calcul, les opérations se limitent à des incréments, des comparaisons à des limites. Les mécanismes à mettre en oeuvre sont les mêmes quel que soit le processus exécuté.

Le deuxième moyen est lui très spécifique du processus. Il en réalise effectivement l'algorithme. Suivant la puissance de calcul exigée il sera réalisé en logique câblée, ou microprogrammée. Dissocié du moyen "Contrôle du mouvement de données" qui doit rester programmable, il peut utiliser les nouveaux V.L.S.I. intégrant dans un boîtier une fonction complète (corrélateur 24 bits par exemple).

Fonctions de communication inter-processeur.

Le module de traitement exécuté par le composant processeur s'insère dans une chaîne de traitement. Ceci implique des contraintes :

- Temporelles : le processus doit se synchroniser sur un processus en amont (synchronisation fine mot par mot ; ou synchronisation par tâche avec échange de blocs)



STRUCTURE PROGRAMMABLE POUR L'EXECUTION SIMULTANEE DES PROCESSUS
RENCONTRES EN TRAITEMENT DU SIGNAL
PROGRAMMABLE STRUCTURE FOR PARALLEL EXECUTION OF SIGNAL PROCESSING
CALCULATIONS

- Matérielles : le processus partage avec ses voisins des ressources physiques : bus de communication au minimum, mémoires tampons dans le cas d'échanges par blocs, ou même, opérateurs de calcul (la structure autorise l'utilisation d'un même opérateur par des algorithmes différents).

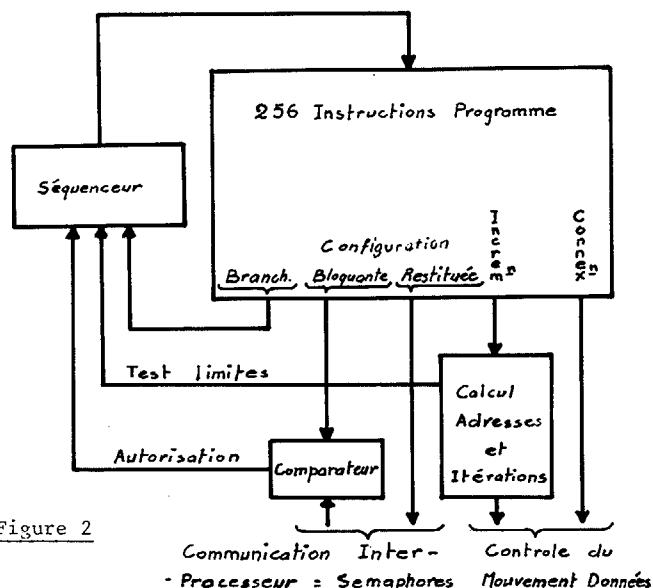
Au niveau du processeur, ces deux types de contraintes se ramènent en fait toujours à des conditions provisoirement bloquantes pour l'avance de son programme.

Centraliser dans une unité de décision la fonction moniteur réglant les problèmes de conflit et de synchronisation, amène à un temps d'attente par les processeurs prohibitif. On serait amené en fait à éliminer les conflits, donc à faire foisonner les mémoires, les bus.

La solution est de disposer d'une "banque" de sémaphores (conditions bloquantes) accessibles par tous les processeurs. A chaque pas de son programme, le processeur a dans l'instruction une zone décrivant la gestion des sémaphores : configuration bloquante, configuration restituée s'il est autorisé. Le temps de décision se confond alors avec le temps d'un mouvement élémentaire de données.

Constituants standards des sous-ensembles "Processeurs"

Les fonctions "Contrôle du Mouvement de Données" et "Communication inter-processeur" se ramènent à un jeu d'actions élémentaires toujours identiques quel que soit le processus exécuté. Dans chaque processeur, ces fonctions sont donc réalisées par une circuiterie standard schématisée ci-dessous



ARCHITECTURE MULTI-PROCESSEUR.

Cette architecture vise essentiellement à mettre en relation l'ensemble des moyens d'exécution des algorithmes :

- Coupleurs pour l'acquisition des Données en entrée, pour la restitution des Données traitées,
- Blocs mémoires privés ou partagés,
- Opérateurs de calcul câblés, ou disposant localement de leurs microprogrammes.

Parmi les 3 grandes structures de communication possible pour une machine multiprocesseur :

- a) Bus multiples avec commutation spatiale des couples mémoire-opérateur par une matrice de connexions
- b) Mémoires à accès multiples
- c) Bus unique multiplexé temporellement,

la solution c) (UNIBUS) a été retenue. Les solutions a), b) ferment en effet les possibilités de cascading direct d'opérateurs : le bloc mémoire est un point de transit obligé. Pour un matériel minimum, l'UNIBUS est seul aussi à laisser une totale souplesse quant au nombre et type d'abonnés (coupleurs, mémoires, opérateurs). La banalisation de l'interconnexion permet par ailleurs un réarrangement des échanges fonctionnels suivant les différents modes de traitement demandés à la machine.

Problème de vulnérabilité aux pannes mis à part, l'UNIBUS pêche aussi par sa capacité de transfert limitée, faisant chûter le rendement des opérateurs quand s'accroît le volume d'échanges. Les palliatifs retenus sont :

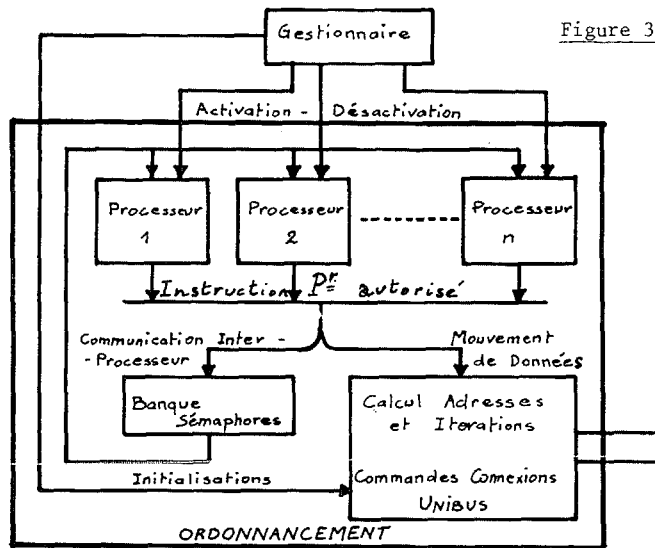
- D'une part, la réduction du temps d'occupation du bus, ramené au temps de transfert entre deux registres T_{2LS} ; chaque abonné s'interface avec le bus par des tampons
- D'autre part, le format du mot de Donnée fixé à 32 bits favorisant la notation complexe 16 bits.

La capacité de transfert s'élève ainsi à 320 Mégabits/sec.

L'architecture de la machine est donnée Fig. 3. Une liaison bidirectionnelle de 32 fils véhicule les Données entre les abonnés. Ce flux est commandé par des liaisons monodirectionnelles issues d'un dispositif d'Ordonnement des processus, formé par le regroupe-



STRUCTURE PROGRAMMABLE POUR L'EXECUTION SIMULTANEE DES PROCESSUS
RENCONTRES EN TRAITEMENT DU SIGNAL
PROGRAMMABLE STRUCTURE FOR PARALLEL EXECUTION OF SIGNAL PROCESSING
CALCULATIONS



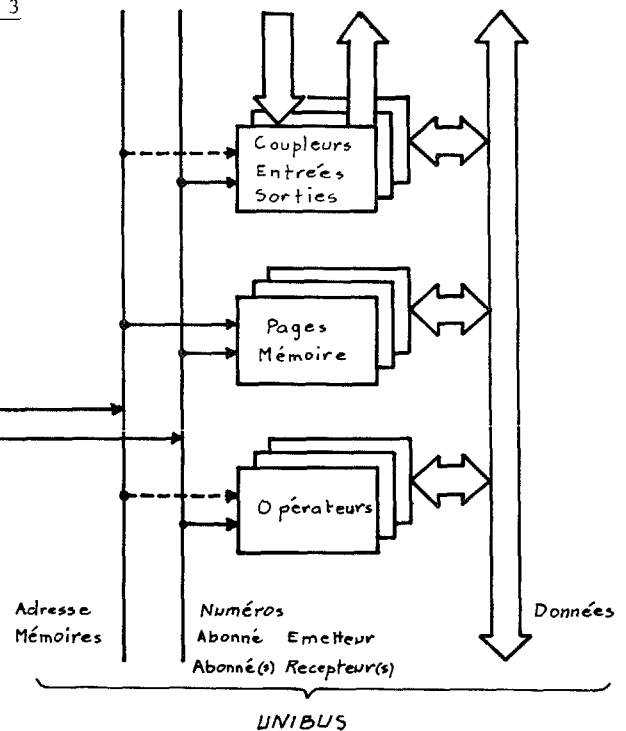
ment de tous les constituants standards des processeurs (Cf. Fig. 2). On sait réaliser une unité de calcul d'adresse effectuant une incrémentation dans le temps d'un échange élémentaire sur l'UNIBUS. Cette unité peut donc être commune à tous les processeurs. Ceux-ci disposent du même coup d'un noeud de communication supplémentaire pour les problèmes d'allocation des blocs mémoires.

Chaque processeur disposant de 256 mots de programme peut stocker les séquences d'échanges correspondant à plusieurs processus (une séquence nécessite quelques dizaines d'instructions). Cette possibilité est exploitée quand la machine doit être capable de plusieurs modes de traitement non simultanés. La fonction de "Configuration des chaînes de traitement" est confiée à un gestionnaire réalisé par un microprocesseur MOS 6800. Des liaisons spécifiques processeurs-gestionnaire permettent l'activation-désactivation sélective de chaque processus. Par ailleurs, tous les paramètres rentrant dans le calculs d'adresses et de n° d'abonnés sont initialisables par le gestionnaire.

ENCOMBREMENT - PERFORMANCES.

La machine est réalisée au format 1/2 ATR ; dimensions des cartes : 110 x 180 mm. La fonction Ordonnancement (Cf. Fig. 3) occupe alors dans la configuration maximum de 16 processeurs un volume de 6 cartes. Tous les opérateurs actuellement en réalisation tiennent sur une carte (exemples : opérateur microprogrammé ; papillon F.F.T., extraction et moyenne des valeurs minimales d'une fenêtre glissante ...)

La puissance de calcul globale de la machine est fonction de sa configuration en opérateurs et de



leur rendement. On peut amorcer une comparaison des performances de la machine par rapport à celles d'un monoprocesseur en partant de la configuration théorique suivante : 16 opérateurs microprogrammés (temps de cycle 200 ns par micro-instruction) affectés chacun à l'un des 16 processeurs. On peut alors prendre comme unité de puissance un monoprocesseur microprogrammé ayant le même temps de cycle de 200 ns.

La courbe Fig. 4. donne les résultats de simulation sur ordinateur de cette configuration. Pour chaque processeur était fait le bilan des temps où il restait oisif par suite d'une indisponibilité de l'unibus ; son opérateur devait faire 3 accès bus par opération (lecture de 2 opérandes en mémoire, écriture du résultat). On voit que pour un temps moyen d'opération supérieur à 5 μ s, chaque processeur est effectivement occupé à 90 %. Par rapport à un monoprocesseur, le gain en puissance est donc de 14,4. Le rendement reste très acceptable (50 %) pour un temps moyen de 2 μ s, le rapport en puissance passant alors à 8.

